

日本国特許庁  
JAPAN PATENT OFFICE

JCP3 U.S. PTO  
10/054972  
01/25/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年10月11日

出願番号

Application Number:

特願2001-314159

出願人

Applicant(s):

富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月26日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3102241

【書類名】 特許願  
【整理番号】 0140795  
【提出日】 平成13年10月11日  
【あて先】 特許庁長官 及川 耕造 殿  
【国際特許分類】 H03K 19/00  
G06F 3/00  
【発明の名称】 レシーバ回路  
【請求項の数】 10  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 土肥 義康  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区堀川町66番2 富士通エルエスア  
イソリューション株式会社内  
【氏名】 松原 聰  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 田村 泰孝  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100077517  
【弁理士】  
【氏名又は名称】 石田 敬  
【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【先の出願に基づく優先権主張】

【出願番号】 特願2001-220024

【出願日】 平成13年 7月19日

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 レシーバ回路

【特許請求の範囲】

【請求項1】 入力信号をサンプリングするサンプリング回路と、  
該サンプリング回路の出力をバッファするバッファ回路と、  
該バッファ回路の出力の判定を行う判定回路と、  
前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号  
依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ  
回路。

【請求項2】 入力信号をサンプリングするサンプリング回路と、  
該サンプリング回路の出力をバッファするバッファ回路と、  
該バッファ回路の出力の判定を行う判定回路と、  
前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値  
とするバッファ制御回路とを備えることを特徴とするレシーバ回路。

【請求項3】 請求項1または2に記載のレシーバ回路において、さらに、  
前記サンプリング回路が入力信号のサンプリングを行う前に、前記判定回路の入  
力をプリチャージするプリチャージ回路を備えることを特徴とするレシーバ回路

【請求項4】 請求項1または2に記載のレシーバ回路において、前記サン  
プリング回路は、一連のビット列をサンプルする複数のサンプルスイッチを備え  
、且つ、前記バッファ回路は、該各サンプルスイッチに対応して複数設けられて  
いることを特徴とするレシーバ回路。

【請求項5】 請求項1または2に記載のレシーバ回路において、前記バッ  
ファ回路は、複数のバッファ回路ユニットを備え、該各バッファ回路ユニットの  
出力の大きさを調整することで信号伝送路の特性を補償するようにしたことを特  
徴とするレシーバ回路。

【請求項6】 請求項1または2に記載のレシーバ回路において、前記バッ  
ファ回路は、前記サンプリング回路が入力信号のサンプリングを行う前に当該バ  
ッファ回路に微小電流を流しておく微小電流回路を備えることを特徴とするレシ

ーバ回路。

【請求項7】 入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力の判定を行う判定回路と、前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とするレシーバ回路。

【請求項8】 請求項7に記載のレシーバ回路において、前記サンプリング制御回路は、前記サンプリング回路の入力から出力までのトランスコンダクタンスの変化をスイッチングにより行うことを特徴とするレシーバ回路。

【請求項9】 請求項8に記載のレシーバ回路において、前記トランスコンダクタンスのスイッチングは、差動対トランジスタのテイル電流のスイッチングにより行うことを特徴とするレシーバ回路。

【請求項10】 請求項9に記載のレシーバ回路において、前記テイル電流のスイッチングは、電流路を、該当するトランスコンダクタのテイル電流側の経路とそれ以外の経路との間で切り替える電流切り替えにより行うことを特徴とするレシーバ回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、複数のLSIチップ間や1つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の匡体間の信号伝送を高速に行うための技術に関し、特に、高速の信号伝送に用いるレシーバ回路に関する。

##### 【0002】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、SRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向

上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

#### 【0003】

具体的に、例えば、DRAM等の主記憶装置とプロセッサとの間（LSI間）の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった匡体やボード（プリント配線基板）間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

#### 【0004】

そこで、高速の信号伝送を実現するために、符号間干渉を取り除き、より正確なデータの判定を行うことができるレシーバ回路の提供が要望されている。

#### 【0005】

##### 【従来の技術】

近年、LSIやボード間、或いは、匡体間のデータ伝送量の増加に対応するために、1ピン当たりの信号伝送速度を増大させる必要がある。これは、ピン数を増やすことによるパッケージ等のコストの増大を避けるためでもある。その結果、最近では、LSI間の信号伝送速度が1Gbpsを超え、将来（3年から8年程度先）には、4Gbps或いは10Gbpsといった極めて高い値（高速の信号伝送）になることが予想されている。

#### 【0006】

このように高い信号周波数は、例えば、LSI内部よりも高い周波数であるため信号の受信回路には高速動作が可能なレシーバ回路が必要になる。一般に、レシーバ回路は、入力線に直列に設けられたスイッチおよびバッファ回路で構成され、スイッチが切れるタイミングにおける信号の値がサンプルされてバッファ回路の出力となり、このバッファ回路の出力をラッチすることで信号の値を判定するようになっている。

#### 【0007】

図1は信号伝送システムの全体構成を模式的に示すブロック図である。図1において、参照符号1はドライバ回路（送信回路）、2は伝送線路（信号伝送路）、3はレシーバ回路（受信回路）を示している。ここで、送信側のドライバ回路1および受信側のレシーバ回路3は、例えば、それぞれ異なるLSIや筐体に設けられるが、さらに、1つのLSIにおける異なる回路ブロックに設けられることもある。

## 【0008】

図2は図1におけるレシーバ回路3の一例を示すブロック図である。

## 【0009】

図2に示されるように、レシーバ回路3は、例えば、ドライバ回路1から伝送線路2を介して送られる10Gb/sの高速のデータ（相補データ、差動データ）DATA, DATAXを、インターリーブにより2.5GHzのクロック信号で動作する4つのレシーバユニット31～34で受信（判定）するように構成されている。すなわち、10Gb/sの入力データDATA, DATAXは、4交代で動作する4つのレシーバユニット31～34により、4ビットで2.5Gb/sのデータとして受信される。

## 【0010】

図3は従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図であり、図2に示すレシーバ回路3におけるレシーバユニット31の従来の一構成例を示すものである。

## 【0011】

図3に示されるように、レシーバユニット31（レシーバユニット32～34も同様）は、サンプルスイッチ311, 312、バッファ回路320、判定回路330、および、電流源340を備えて構成されている。各サンプルスイッチ311, 312は、クロック信号c1k(Φ1), c1kx(Φ3)により制御されるトランスマジックゲートとして構成され、例えば、2.5GHzのクロック信号c1kの立ち上がりタイミング（クロック信号c1kxの立ち下がりタイミング）で入力信号（DATA, DATAX）をバッファ回路320に取り込むようになっている。ここで、クロック信号Φ3は、四相クロック信号Φ0～Φ3の内の

1つで、 $\phi_3 = / \phi_1$  となっている。なお、信号 $/ \phi_1$ は、信号 $\phi_1$ の相補（反転レベル）の信号を示している。

#### 【0012】

バッファ回路320は、負荷321, 322および差動入力用のnチャネル型MOSトランジスタ(nMOSトランジスタ)323, 324を備えた差動増幅器として構成され、トランジスタ323, 324のソースは、共通接続されると共に電流源340を介して低電位の電源線VSSに接続されている。さらに、バッファ回路320の出力は、トランジスタ323, 324と負荷321, 322との各接続ノードから取り出されて判定回路330に供給され、また、負荷321, 322の各他方の端子は、高電位の電源線VDDに接続されている。判定回路330は、バッファ回路320の差動出力を比較判定してデータdata0を出力する。

#### 【0013】

##### 【発明が解決しようとする課題】

図4は従来のレシーバ回路における課題を説明するための図であり、図4(a)は送信信号の波形を示し、図4(b)は受信信号の波形を示し、そして、図4(c)は判定信号の波形を示している。

#### 【0014】

図4(a)と図4(b)との比較から明らかなように、送信側のドライバ回路1の出力である送信信号は、伝送線路2を介して受信側のレシーバ回路3に受信(入力)信号(DATA, DATAX)として供給されるが、この受信信号は、伝送線路2の伝送路特性等によりその波形が大きく鈍ったものになる。

#### 【0015】

そして、この波形の鈍った受信信号が、上述したレシーバユニット31(レシーバ回路3)で受信および判定される。すなわち、サンプルスイッチ311, 312をオンとして受信信号(DATA, DATAX)をバッファ回路320に取り込み、そのバッファ回路320の出力を判定回路330で判定するようになっている。

#### 【0016】

この従来のレシーバ回路において、サンプリングのタイミング以前の信号値（サンプルスイッチ311, 312をオンする前の受信信号）は、そのままバッファ回路320で増幅されて判定回路330の入力になっている。そのため、判定回路330の入力（判定信号）は、判定を行うタイミングよりも前の信号値に応じて電圧が大きく変動する。判定回路の入力ノードの電圧値の変化速度には限界があるため、従来のレシーバ回路3においては、この変動により符号間干渉（過去の信号の値が判定回路に悪影響を与える）が生じ、データの正確な受信（判定）の妨げとなっている。

## 【0017】

本発明は、上述した従来のレシーバ回路が有する課題に鑑み、符号間干渉を取り除き、より正確なデータ判定を行うことのできるレシーバ回路の提供を目的とする。

## 【0018】

## 【課題を解決するための手段】

本発明によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力をバッファするバッファ回路と、該バッファ回路の出力の判定を行う判定回路と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ回路が提供される。

## 【0019】

また、本発明によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力をバッファするバッファ回路と、該バッファ回路の出力の判定を行う判定回路と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値とするバッファ制御回路とを備えることを特徴とするレシーバ回路が提供される。

## 【0020】

さらに、本発明によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力の判定を行う判定回路と、前記サンプリング回路の入力から出力までのトランスクンダクタンスを動的に変化させて、該サンプリング

回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とするレシーバ回路が提供される。

## 【0021】

図5は本発明に係るレシーバ回路の第1の形態における原理構成の一例を示すブロック回路図であり、前述した図2のレシーバ回路におけるレシーバユニットの一構成例を示すものである。

## 【0022】

図5に示されるように、レシーバユニット31（レシーバユニット32～34も同様）は、サンプルスイッチ411, 412、バッファ回路420、判定回路430、および、電流源440を備えて構成されている。各サンプルスイッチ411, 412は、クロック信号 $c1k(\phi 1)$ ,  $c1kx(\phi 3)$ により制御されるトランスマジックゲートとして構成され、例えば、2.5GHzのクロック信号 $c1k$ の立ち上がりタイミング（クロック信号 $c1kx$ の立ち下がりタイミング）で入力信号（DATA, DATA $x$ ）をバッファ回路420に取り込むようになっている。ここで、信号DATA $x$ は、信号DATAの相補（反転レベル）の信号を示し、また、クロック信号 $\phi 3$ は、四相クロック信号 $\phi 0 \sim \phi 3$ の内の1つで、 $\phi 3 = / \phi 1$ となっている。なお、信号 $/ \phi 1$ は、信号 $\phi 1$ の相補の信号を示している。なお、本発明に係るレシーバ回路の第1の形態は、4つのレシーバユニット（31）により構成されるものに限定されず、例えば、2つまたは8つといった複数のレシーバユニットにより構成することもできる。

## 【0023】

バッファ回路420は、能動負荷（アクティブロード）421, 422および差動入力用のnMOSトランジスタ423, 424を備えた差動増幅器として構成され、トランジスタ423, 424のソースは、共通接続されると共に電流源440を介して低電位の電源線VSSに接続されている。さらに、バッファ回路420の出力は、トランジスタ423, 424と負荷421, 422との各接続ノードから取り出されて判定回路430に供給され、また、負荷421, 422の各他方の端子は、高電位の電源線VDDに接続されている。

## 【0024】

電流源440は、クロック信号clkx(φ3)によりスイッチング制御（クロック信号φ3が高レベル『H』でスイッチオン）され、また、判定回路430は、クロック信号φ0により判定動作が制御（クロック信号φ0が高レベル『H』で判定）されるようになっている。なお、クロック信号φ0は、四相信号φ0～φ3の内の1つで、クロック信号φ3(clkx)と90度の位相差を有している。そして、判定回路430は、クロック信号φ0に従ってバッファ回路420の差動出力を比較判定してデータdata0を出力する。

#### 【0025】

図6は図5のレシーバ回路の動作を説明するための図であり、図6(a)は送信信号の波形を示し、図6(b)は受信信号の波形を示し、そして、図6(c)は判定信号の波形を示している。ここで、図6(a)および図6(b)に示す送信および受信波形は、前述した図4(a)および図4(b)と同様の波形となっている。

#### 【0026】

図6(c)と図4(c)との比較から明らかなように、本発明に係るレシーバ回路は、例えば、図5に示されるように、サンプルスイッチ411, 412がクロック信号φ1(φ3)により制御されると共に、電流源440がクロック信号φ3によりスイッチング制御され、さらに、判定回路430がクロック信号φ0により動作制御されるようになっているため、以前の信号による符号間干渉を取り除き、より正確なデータ判定が可能になる。

#### 【0027】

すなわち、本発明に係るレシーバ回路は、図5に示されるように、サンプリングスイッチ（サンプリング回路）411, 412の後段にバッファ回路420が設けられ、このバッファ回路420および負荷デバイス（能動負荷）421, 422の駆動のタイミングを制御するために、クロック信号φ3でスイッチング制御される電流源（電流源スイッチ）440が配置されている。

#### 【0028】

まず、電流源スイッチ440は、サンプリングスイッチ411, 412がオン（クロック信号φ1が高レベル『H』、且つ、クロック信号φ3が低レベル『L

』)の間はオフ状態となっており、バッファ回路420を活性化(駆動)させないので、このバッファ回路420の出力は入力信号DATA, DATA<sub>X</sub>に依存することがない。従って、この期間には、バッファ回路420の出力の値は一定値になる。すなわち、バッファ回路420の出力(差動出力)は、両方とも能動負荷421, 422を通して高電位の電源電圧VDDとなっており、その電源電圧VDDのレベルが判定回路430の差動入力として与えられる。

## 【0029】

次に、サンプリング回路411, 412のスイッチがオフ(クロック信号 $\phi_1$ が高レベル『H』から低レベル『L』、且つ、クロック信号 $\phi_3$ が低レベル『L』から高レベル『H』)になると、電流源スイッチ440はオン状態となり、バッファ回路420は活性化して有効な信号を出力する。そして、バッファ回路420の後段に存在する判定回路430は、クロック信号 $\phi_0$ (クロック信号 $\phi_3$ と90度の位相差を有するクロック信号)によりバッファ回路420が信号を出力しているタイミングだけにおいて信号の判定を行う。

## 【0030】

すなわち、バッファ回路420の出力は、判定回路430が動作する判定タイミング以外では一定電圧(VDD)となっているので、高速信号受信における伝送路特性から発生する符号間干渉を除去することが可能になる。

## 【0031】

このように、本発明のレシーバ回路によれば、判定タイミング前の受信信号が判定回路に入力することが無いことから、伝送線路特性から生じる一連の受信信号系列の符号間干渉を無効にすることができます、これにより、信号判定回路はより精度の高い判定を行うことが可能になる。

## 【0032】

## 【発明の実施の形態】

以下、本発明に係るレシーバ回路の実施例を添付図面に従って詳述する。

## 【0033】

図7は本発明に係るレシーバ回路の第1実施例を示すブロック図であり、前述した図5に示すレシーバ回路を4組設け、インターリープ動作を行わせるように

なっている。図7において、参照符号510～513はサンプルスイッチ（サンプリング回路ユニット）、520～523はバッファ回路（バッファ回路ユニット）、そして、530～533は判定回路（判定回路ユニット）を示している。

#### 【0034】

図7に示す第1実施例のレシーバ回路（レシーバ回路装置）は、例えば、10 Gbpsの高速信号を受信する回路であり、2.5GHzの四相クロック信号で4-wayのインターリーブ動作を行う回路として構成されている。本第1実施例のレシーバ回路は、サンプルスイッチ510～513、バッファ回路520～523、電流源スイッチ、および、判定回路530～533を備えて構成されている。なお、電流源スイッチは、各バッファ回路520～523にそれぞれ内蔵されている。

#### 【0035】

受信信号INPUTは、サンプルスイッチ510～513（サンプリング部）を介して入力され、例えば、互いに位相が90度だけ異なる四相クロック信号 $\phi_0$ ～ $\phi_3$ により制御されるようになっている。具体的に、例えば、サンプルスイッチ511は、クロック信号 $\phi_1$ の立ち下がりによりスイッチオフし、クロック信号 $\phi_3$ （クロック信号 $\phi_1$ の反転信号ES）の立ち上がりにより電流源スイッチがオンすることでバッファ回路521が駆動状態になり、該バッファ回路521はその時点での電圧値を増幅して判定回路531に出力する。判定回路531は、バッファ回路521からの信号をクロック信号 $\phi_0$ （信号ES'）の立ち上がりにより判定し、データ『0』または『1』の値として出力する。

#### 【0036】

さらに、例えば、サンプルスイッチ512は、クロック信号 $\phi_2$ の立ち下がりによりスイッチオフし、クロック信号 $\phi_0$ （クロック信号 $\phi_2$ の反転信号ES'）の立ち上がりにより電流源スイッチがオンすることでバッファ回路522が駆動状態になり、該バッファ回路522はその時点での電圧値を増幅して判定回路532に出力する。判定回路532は、バッファ回路522からの信号をクロック信号 $\phi_1$ （信号ES'）の立ち上がりにより判定し、データ『0』または『1』の値として出力する。

## 【0037】

このように、本第1実施例のレシーバ回路は、各クロック信号 $\phi_0 \sim \phi_3$ によりバッファ回路520～523を駆動制御する電流源スイッチをオフすると、そのバッファ回路520～523の出力は一定の値に保持され、各判定回路530～533による判定タイミングの前に受信信号INPUTが判定回路に入力するのを防ぎ、これにより、信号間干渉を無効化して精度の高い判定を可能にする。

## 【0038】

図8は本発明のレシーバ回路の第2実施例を示すブロック図である。図8において、参照符号1611, 1612はサンプルスイッチ、1621, 1622はバッファ回路、1631, 1632は判定回路、そして、1641, 1642はスイッチ回路(pMOSスイッチ)を示している。

## 【0039】

図8に示す第2実施例のレシーバ回路は、バッファ回路1621, 1622と判定回路1631, 1632との接続ノードにスイッチ回路1641, 1642を設けるようになっている。そして、例えば、一方のサンプルスイッチ1611をオフして他方のサンプルスイッチ1612をオンしたときには、一方のスイッチ回路1641もオフして他方のスイッチ回路1642をオンするようになっている。

## 【0040】

すなわち、サンプルスイッチ1612がオン状態では、バッファ回路1622の出力に接続された負荷素子と並列のスイッチ回路1642がオン(低抵抗)となり、その期間において、バッファ回路1622の出力が略一定の値になる。このとき、サンプルスイッチ1611はオフ状態で、スイッチ回路1641もオフになっている。

## 【0041】

そして、サンプルスイッチ1612がオフ状態になると、スイッチ回路1642もオフになり、サンプリングされたバッファ1622の出力が判定回路1632に入力され、これにより、信号間干渉を無効化することが可能になる。このとき、サンプルスイッチ1611およびスイッチ回路1641はオンとなり、その

期間において、バッファ回路1621の出力が略一定の値になる。

#### 【0042】

本第2実施例では、バッファ回路の出力電流がどの期間にも流れる構成になっているため、バッファ回路の駆動トランジスタはバイアス条件の変動が少くなり、高速の動作が可能になるという利点がある。

#### 【0043】

図9は本発明のレシーバ回路の第3実施例を示すブロック図であり、前述した図7に示す第1実施例において、入力信号INPUTを差動信号（相補信号）INPUT, INPUTXと共に、判定回路530～533を差動の判定回路630～633で構成し、さらに、サンプルスイッチ510～513およびバッファ回路520～523をイコライザ回路（トランスコンダクタ）610～613で構成したものに相当する。なお、各イコライザ回路610～613は、互いに位相が90度だけ異なる四相クロック信号 $\phi_0$ ～ $\phi_3$ により制御され、また、各判定回路630, 631, 632, 633は、それぞれクロック信号 $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ ,  $\phi_0$ により判定動作を行うようになっている。

#### 【0044】

図10は図9のレシーバ回路におけるイコライザ回路の一例を示す回路図であり、図11は図9のレシーバ回路における判定回路の一例を示す回路図であり、そして、図12は図9のレシーバ回路の動作を説明するためのタイミング図である。ここで、クロック信号 $\phi_0$ ～ $\phi_3$ は、図12に示されるように、互いに位相が90度異なる四相のクロック信号とされている。

#### 【0045】

図10に示されるように、イコライザ回路610は、pMOSトランジスタ6101, 6102; 6131, 6132; 6151, 6152、nMOSトランジスタ6103～6109; 6133～6139、電流源6110; 6140、および、トランスファゲート6111, 6112; 6141, 6142を備えている。なお、他のイコライザ回路611～613もイコライザ回路610と同様の構成とされている。すなわち、イコライザ回路610は、2つの差動増幅部（トランスコンダクタ）610a, 610bを備えている。なお、本実施例では、

これら2つの差動増幅部610a, 610bにより出力レベルを調整して信号伝送路特性の補償（符号間干渉の削減）を行うようになっている。すなわち、従来、符号間干渉の削減は、スイッチおよび容量を組み合わせて以前に伝送された信号のデータを保持し、それを利用して行っていたが、本実施例では、例えば、2つの差動増幅部610a, 610bを用いて符号間干渉を削減するようになっている。なお、例えば、差動増幅部610bの出力レベルの調整は、電流源6140を流れる電流を制御することで行うことができる。また、電流源6110を流れる電流を制御して差動増幅部610aの出力レベルの調整を行うこともできるが、通常、電流源6140を流れる電流を制御して差動増幅部610bの出力レベルを調整すれば十分である。

## 【0046】

一方の差動増幅部610aは、クロック信号 $\phi_0$ ,  $\phi_2$ で制御されるトランスマッゲートで構成されたサンプルスイッチ6111, 6112と、ゲートに低電位電源電圧VSSが印加された能動負荷（トランジスタ）6101, 6102、差動入力用トランジスタ6103, 6104、電流源6110、および、スイッチ6107を備えている。サンプルスイッチ6111および6112は、クロック信号 $\phi_2$ が高レベル『H』（クロック信号 $\phi_0$ が低レベル『L』）のときにオンとなり、クロック信号 $\phi_2$ が高レベル『H』から低レベル『L』に立ち下がるタイミングで、高レベル『H』に変化するクロック信号 $\phi_0$ で制御されるトランジスタ6107がオンとなってバッファ回路（トランジスタ6101～6104）が活性化して、入力信号INPUT, INPUTXを取り込むようになっている。

## 【0047】

ここで、トランジスタ6105はトランジスタ6106とカレントミラー接続され、バッファ回路（トランジスタ6101～6104）の電流（例えば、100 $\mu$ A程度）は、このトランジスタ6106を介して流れようになっている。なお、クロック信号 $\phi_2$ により制御されるトランジスタ（微小電流回路）6109は、クロック信号 $\phi_0$ が低レベル『L』でスイッチ（トランジスタ）6107がオフのときにオンして微小電流（例えば、1 $\mu$ A程度）をトランジスタ610

6にトランジスタ6108を介して流し、差動入力用トランジスタ6103, 6104によるキックバックノイズ等の発生を低減するものである。

## 【0048】

同様に、他方の差動増幅部610bは、クロック信号 $\phi_3$ ,  $\phi_1$ で制御されるトランスファゲートで構成されたサンプルスイッチ6141, 6142と、ゲートに低電位電源電圧VSSが印加された能動負荷（トランジスタ）6131, 6132、差動入力用トランジスタ6133, 6134、電流源6140、および、スイッチ6137を備えている。サンプルスイッチ6141および6142は、クロック信号 $\phi_1$ が高レベル『H』（クロック信号 $\phi_3$ が低レベル『L』）のときにオンとなり、クロック信号 $\phi_1$ が高レベル『H』から低レベル『L』に立ち下がるタイミングで、高レベル『H』に変化するクロック信号 $\phi_3$ で制御されるトランジスタ6137がオンとなってバッファ回路（トランジスタ6131～6134）が活性化して、入力信号INPUT, INPUTXを取り込むようになっている。

## 【0049】

ここで、トランジスタ6135はトランジスタ6136とカレントミラー接続され、バッファ回路（トランジスタ6131～6134）の電流は、このトランジスタ6136を介して流れている。なお、クロック信号 $\phi_1$ により制御されるトランジスタ（微小電流回路）6139は、クロック信号 $\phi_3$ が低レベル『L』でトランジスタ6137がオフのときにオンして微小電流をトランジスタ6136にトランジスタ6138を介して流し、差動入力用トランジスタ6133, 6134によるキックバックノイズ等の発生を低減するものである。また、電流源6140を流れる電流を制御することにより、差動増幅部610bの出力レベルを調整することができる。

## 【0050】

pMOSトランジスタ6151および6152は、クロック信号 $\phi_2$ により制御され、クロック信号 $\phi_2$ が低レベル『L』に立ち下がるときにオンとなって、2つの差動増幅部610aおよび610bの出力を接続して差動出力D[0]およびDX[0]を判定回路630に供給する。

## 【0051】

このように、イコライザ回路(610)は、2つの差動増幅部610aおよび610bを備え、各差動増幅部が異なるタイミング(クロック信号 $\phi 0$ ,  $\phi 2$ ;  $\phi 3$ ,  $\phi 1$ )で受信信号系列を増幅し、さらに、例えば、クロック信号 $\phi 2$ の立ち上がりで1つの判定回路(630)に対して同時に出力を行うようになっている。そして、2つの差動増幅部(トランスコンダクタ)610a, 610bにより出力の大きさの調整(出力の重み付け)を行うことで、伝送路の特性から生じる信号間干渉を補償してより一層判定回路による判定の精度を向上させることが可能になる。

## 【0052】

図11に示されるように、判定回路630は、クロック信号 $\phi 1$ により制御される。ここで、他の判定回路631, 632, 633も判定回路630と同様の構成とされているが、それぞれクロック信号 $\phi 2$ ,  $\phi 3$ ,  $\phi 0$ により制御され、インターリーブ動作を行うように構成されている。

## 【0053】

判定回路630は、pMOSトランジスタ6301～6304、nMOSトランジスタ6305～6309、NANDゲート6311, 6312、および、インバータ6313, 6314を備えて構成されている。トランジスタ6301のゲートには、クロック信号 $\phi 1$ が供給され、クロック信号 $\phi 1$ が高レベル『H』のときに回路(差動回路)を活性化して判定動作を行うようになっている。さらに、クロック信号 $\phi 1$ はトランジスタ6303, 6309のゲートにも供給され、クロック信号 $\phi 1$ が低レベル『L』で差動回路が非活性のときに、プリチャージ用トランジスタ6301, 6303をオンして、NANDゲート6311, 6312によるラッチの入力レベルをプリチャージするようになっている。なお、インバータ6313, 6314は、ラッチ(NANDゲート6311, 6312)の出力波形を整形するためのものであり、このインバータ6313, 6314を介して判定結果(差動出力信号DOUT[0], DOUTX[0])が出力されることになる。

## 【0054】

なお、各判定回路 630, 631, 632, 633 は、それぞれ四相クロック信号の各クロック信号  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ ,  $\phi_0$  により制御されて、順次判定結果 DOUT [0], DOUTX [0] ~ DOUT [3], DOUTX [3] を出力することになる。

#### 【0055】

図13は本発明のレシーバ回路の第4実施例を示すブロック図であり、上述した第3実施例を変形したものに相当する。すなわち、本第4実施例では、判定回路がシングルエンドの信号を出力するラッチ 730 ~ 733 として構成されている。

#### 【0056】

図13において、参照符号 710a, 711a, 712a, 713a は第1の差動増幅部（図10における差動増幅部 610a に相当）を示し、710b, 711b, 712b, 713b は第2の差動増幅部（図10における差動増幅部 610b に相当）を示し、そして、710c, 711c, 712c, 713c はスイッチ（図10におけるトランジスタ 6151, 6152 に相当）を示している。また、参照符号 730 ~ 733 は差動の入力信号を受け取ってシングルエンドの信号を出力するラッチ（図11に示す判定回路 630 に相当）を示している。ここで、参照符号  $\phi_0$  ~  $\phi_3$  は互いに位相が 90 度だけ異なる四相クロック信号である。また、各第1の差動増幅部 710a, 711a, 712a, 713a および第2の差動増幅部 710b, 711b, 712b, 713b は、トランスコンダクタとして構成され、スイッチ 710c, 711c, 712c, 713c をオンすることで各トランスコンダクタの出力電流を加算して出力の大きさの調整（出力の重み付け）を行い、伝送路の特性から生じる信号間干渉を補償するようになっている。

#### 【0057】

各第1の差動増幅部 710a, 711a, 712a, 713a は、それぞれクロック信号  $\phi_0$  ( $\phi_2$ ),  $\phi_1$  ( $\phi_3$ ),  $\phi_2$  ( $\phi_0$ ),  $\phi_3$  ( $\phi_1$ ) によりデータ入力 (INPUT, INPUTX) の取り込みタイミングが制御され、また、各第2の差動増幅部 710b, 711b, 712b, 713b は、それぞれクロ

ロック信号 $\phi_3$  ( $\phi_1$ ) ,  $\phi_0$  ( $\phi_2$ ) ,  $\phi_1$  ( $\phi_3$ ) ,  $\phi_2$  ( $\phi_0$ ) によりデータ入力の取り込みタイミングが制御され、そして、各スイッチ 710c, 711c, 712c, 713c は、それぞれクロック信号 $\phi_0$  ( $\phi_2$ ) ,  $\phi_1$  ( $\phi_3$ ) ,  $\phi_2$  ( $\phi_0$ ) ,  $\phi_3$  ( $\phi_1$ ) によりスイッチングのタイミングが制御されるようになっている。さらに、各ラッチ 730, 731, 732, 733 は、それぞれクロック信号 $\phi_1$  ( $\phi_3$ ) ,  $\phi_2$  ( $\phi_0$ ) ,  $\phi_3$  ( $\phi_1$ ) ,  $\phi_0$  ( $\phi_2$ ) により入力データ（イコライザ回路の出力信号）の取り込みタイミングが制御されるようになっている。

#### 【0058】

すなわち、例えば、第1の差動増幅部 710a におけるサンプルスイッチ（図 10 における第1の差動増幅部 610a のサンプルスイッチ 6111, 6112 を参照）がクロック信号 $\phi_2$  の立ち下がり（クロック信号 $\phi_0$  の立ち上がり）によって切斷されると、それと同時に、クロック信号 $\phi_0$  の立ち上がりにより該第1の差動増幅部 710a 内の電流源スイッチ（図 10 における第1の差動増幅部 610a のトランジスタ 6107 を参照）がオンになり、第1の差動増幅部（トランスコンダクタ）710a が駆動を開始する。同様に、例えば、第2の差動増幅部 710b におけるサンプルスイッチ（図 10 における第1の差動増幅部 610b のサンプルスイッチ 6141, 6142 を参照）がクロック信号 $\phi_1$  の立ち下がり（クロック信号 $\phi_3$  の立ち上がり）によって切斷されると、それと同時に、クロック信号 $\phi_3$  の立ち上がりにより該第2の差動増幅部 710b 内の電流源スイッチ（図 10 における第2の差動増幅部 610b のトランジスタ 6137 を参照）がオンになり、第2の差動増幅部（トランスコンダクタ）710b が駆動を開始する。

#### 【0059】

次に、クロック信号 $\phi_2$  の立ち上がりにより第1の差動増幅部 710a におけるサンプルスイッチ（6111, 6112）が接続されると、同時にクロック信号 $\phi_0$  が立ち下がり、電流源スイッチ（6107）がオフになる。これにより、第1の差動増幅部 710a はオフ状態となり、十分に小さい電流しか出力しないので、サンプルスイッチへの入力は一定に保持される。さらに、例えば、クロッ

ク信号 $\phi$ 2の立ち上がりによりスイッチ710c（図10におけるトランジスタ6151, 6152を参照）がオンすると、第2の差動増幅部710bの出力（差動出力）が第1の差動増幅部710aの出力と繋がれ、出力電流が加算される。そして、この2つの差動増幅部（トランスコンダクタ）710a, 710bによる出力電流の加算で出力の大きさの調整を行う（例えば、図10における差動増幅部610bの電流源6140を流れる電流を制御する）ことで、伝送路の特性から生じる信号間干渉を補償するようになっている。

#### 【0060】

図14は図13のレシーバ回路の動作を説明するための図であり、図15は図13のレシーバ回路の動作を説明するための波形の一例を示す図であり、図13における第1の差動増幅部710a, 第2の差動増幅部710b, スイッチ710cおよびラッチ730の動作を説明するためのものである。なお、図14および図15において、参照符号Data0はクロック信号 $\phi$ 0 ( $\phi$ 2) により制御される第1の差動増幅部710aの出力データを示し、Data3'はクロック信号 $\phi$ 3 ( $\phi$ 1) により制御される第2の差動増幅部710bの出力データを示し、そして、Data0eはクロック信号 $\phi$ 0 ( $\phi$ 2) により制御されるスイッチ710cによりイコライズされた後の出力データ（イコライザ回路の出力データData0）を示している。さらに、参照符号Preは各第1および第2の差動増幅部におけるプリチャージ期間を示し、また、Latはクロック信号 $\phi$ 1 ( $\phi$ 3) により制御されるラッチ730がデータ(Data0e)を取り込む（ラッチする）タイミングを示している。なお、図15における参照符号Data0e, Data0exは、イコライズされた後の差動出力を示している。

#### 【0061】

図14および図15に示されるように、ラッチ（判定回路）730のラッチタイミングLatは、クロック信号 $\phi$ 3の立ち下り（クロック信号 $\phi$ 1の立ち上がり）タイミングで行われ、そして、プリチャージPreは、クロック信号 $\phi$ 3が高レベル『H』の期間（クロック信号 $\phi$ 1が低レベル『L』の期間）に行われる。そして、ラッチ730による各ラッチタイミングLatでは、イコライズされた後の差動出力（イコライザ回路の差動出力）Data0e, Data0exが

ラッチ730に取り込まれて判定が行われる。

#### 【0062】

ここで、図15からも明らかなように、イコライザ回路の差動出力Data0e, Data0exは、両方ともプリチャージ期間Preでプリチャージ（例えば、高電位の電源電圧VDD: 1.3ボルト程度）された後に、データ入力(INPUT, INPUTX)に応じた電圧レベルとなり、また、ラッチ730は、イコライザ回路の差動出力Data0e, Data0exに十分な差電圧が生じたタイミングLatでラッチ動作を行うため、正確なデータの判定を行うことができる。

#### 【0063】

以上において、例えば、イコライザ回路610～613、判定回路630～633等は、四相クロック信号 $\phi_0 \sim \phi_3$ により制御される4組として説明したが、これらクロック信号およびイコライザ回路（バッファ回路）等は、様々に変形することができる。また、例えば、イコライザ回路610は2つの差動増幅部610a, 610bにより構成されるものとして説明したが、これらの構成も様々に変更することができるのはいうまでもない。

#### 【0064】

以下、本発明に係るレシーバ回路の第2の形態を、図面を参照して詳述する。

#### 【0065】

信号伝送速度が1Gbpsを超えて数Gbpsといった極めて高い値（周波数）になると、LSI内部よりも高い周波数となるため信号を受信するためには高速動作が可能なレシーバ回路が必要になる。一般に、CMOSトランジスタのようなバイポーラ素子やGaAsおよびSiGe等の材料を用いた高速トランジスタに比べて比較的低速な素子を使ったレシーバ回路は、前述したように、入力線に直列に入ったスイッチ（サンプリング回路）とバッファ回路で構成され、スイッチが切れるタイミングでの信号の値がサンプルされてバッファの出力となり、このバッファの出力をラッチすることにより信号の値を判定する。

#### 【0066】

以下に説明する本発明に係るレシーバ回路の第2の形態は、入力にスイッチを

設けず、サンプリング回路として差動ペア（差動対トランジスタ）を使用するものである。なお、本発明に係るレシーバ回路の第2の形態においても、判定以前の信号値に応じた電圧の変動による符号間干渉の影響を取り除き、過去の信号の値が判定回路に悪影響を与えるのを防止してより正確なデータの判定を行う回路が提供されるのは、前述した本発明に係るレシーバ回路の第1の形態と同様である。

## 【0067】

図16は本発明に係るレシーバ回路の第2の形態における原理構成の一例を示すブロック回路図であり、レシーバ回路（レシーバユニット）の一構成例を示すものである。ここで、図16に示すレシーバユニット80は、例えば、2つのレシーバユニットをインターリーブ動作させてレシーバ回路を構成するものである。なお、本発明に係るレシーバ回路の第2の形態は、2つのレシーバユニットにより構成されるものに限定されず、4つ或いは8つといった複数のレシーバユニットにより構成することもできる。

## 【0068】

図16に示されるように、レシーバ回路（レシーバユニット）80は、スイッチ821, 822, 825、差動対トランジスタ（nMOSトランジスタ）823, 824、判定回路830、および、電流源840を備えて構成される。

## 【0069】

スイッチ821, 822, 825は、クロック信号 $\phi$ により制御され、例えば、スイッチ821および822はクロック信号 $\phi$ が高レベル『H』のときにオフし、スイッチ825はクロック信号 $\phi$ が高レベル『H』のときに電流源840を差動対トランジスタ823, 824に接続するように動作する。ここで、差動対トランジスタ823, 824はサンプリング回路を構成し、この差動対トランジスタ823, 824のソース電流（テイル電流）はパルス電流出力の電流源840により供給される。

## 【0070】

図17は図16のレシーバ回路の動作を説明するための図である。

## 【0071】

図16および図17に示されるように、差動対トランジスタ823, 824の出力には、スイッチ（プリチャージ用トランジスタ）821, 822が接続され、サンプリング回路（差動対トランジスタ823, 824）が出力を出さない期間（クロック信号 $\phi$ が低レベル『L』）には、プリチャージ用トランジスタ821, 822がオンとなって出力（Vs+, Vs-）をVDDにプリチャージする。そして、サンプリング期間が始まると（クロック信号 $\phi$ が低レベル『L』から高レベル『H』になると）、プリチャージトランジスタ821, 822がオフとなり、同時に、電流源840がオンしてテイル電流をパルス状に流す。

#### 【0072】

ここで、テイル電流が流れている期間、トランスコンダクタは出力電流を流すため、この期間、出力ノード（Vs+, Vs-）では入力（DATA, DATAx）が積分され、そして、パルス電流がオフになると、積分は終了する。このとき、クロック信号/ $\phi$ が低レベル『L』から高レベル『H』（クロック信号 $\phi$ が高レベル『H』から低レベル『L』）になって、判定回路830が出力（Vs+, Vs-）の判定を行う。その後（或いは、積分終了と同時に）、クロック信号 $\phi$ が高レベル『H』になってプリチャージトランジスタ821, 822がオンになり、出力ノード（Vs+, Vs-）は再びVDDにプリチャージされる。

#### 【0073】

図16および図17に示されるように、後段に存在する判定回路830は、サンプリング回路の出力が最大（差動対トランジスタ823, 824による出力Vs+, Vs-の電位差が最大）になる積分期間の終わりに信号の『0』, 『1』の判定を行う。サンプリング回路の出力は、パルス電流がオフ（スイッチ825がオフ）の期間は、入力に依存しないためレシーバ内部の電圧が大きく変動することで発生する符号間干渉を除去することが可能になる。なお、この図16に示す回路は、サンプリング回路のプリチャージ期間は信号を受信できないため、連続してデータを受信するためには最低2つを交互に（インターリーブさせて）使う必要がある。

#### 【0074】

本発明に係るにレシーバ回路の第2の形態によれば、判定を行うビットセル以

前の受信信号DATA, DATA<sub>X</sub>の影響が判定回路830に入力されることが無いので、レシーバ内部の過大な電圧変動で生じる一連の受信信号系列の符号間干渉を小さくすることができ、その結果、入力する信号の判定をより一層高い精度で行うことが可能になる。

## 【0075】

図18は本発明のレシーバ回路の第5実施例を示す回路図であり、2つのレシーバユニット80aおよび80bを位相が180度異なるクロック信号 $\phi$ ,  $/\phi$ でインターリーブ駆動する例を示すものである。図18に示すレシーバ回路は、例えば、10Gbpsの高速信号を受信するための回路であり、5GHzの2相クロック信号（つまり1相の差動クロック信号） $\phi$ ,  $/\phi$ により2way動作する判定回路として構成されている。

## 【0076】

図18と図17との比較から明らかなように、本第5実施例では、スイッチ（プリチャージトランジスタ）821, 822をそれぞれpMOSトランジスタで構成し、また、スイッチ825および電流源840を1つのnMOSトランジスタ（テイル電流駆動用パルス電流源）845で構成したものである。なお、トランジスタ845のゲートには、電源電圧としてアナログ電源電圧VDDAが与えられ、クロック $/\phi$ を反転するインバータ826の出力が供給されている。

## 【0077】

ここで、本第5実施例は、サンプリング回路（差動対トランジスタ823, 824）、出力プリチャージ回路（トランジスタ821, 822）、テイル電流駆動用パルス電流源（トランジスタ845）、判定回路（830a; 830b）の組み合わせでレシーバ回路を構成するものである。テイル電流駆動用パルス電流源845は、例えば、5GHzクロック信号 $\phi$ （ $/\phi$ ）をアナログ電源電圧VDDAが供給されたインバータ826に通した出力でそのトランジスタ（テイル電流駆動用パルス電流源）845のゲート電圧を駆動することで実現される。ここで、差動対トランジスタ823, 824、プリチャージトランジスタ821, 822、および、テイル電流駆動用パルス電流源845は、各サンプリング部820a, 820bを構成している。

## 【0078】

図18と図11との比較から明らかなように、本第5実施例のレシーバ回路における各レシーバユニット80aおよび80bの判定回路830aおよび830bは、図11に示す判定回路630と同様の構成とされている。すなわち、図18の各判定回路830aおよび830bにおけるpMOSトランジスタ8301～8304、nMOSトランジスタ8305～8309、NANDゲート8311、8312、および、インバータ8313、8314は、それぞれ図11の判定回路630におけるpMOSトランジスタ6301～6304、nMOSトランジスタ6305～6309、NANDゲート6311、6312、および、インバータ6313、6314に対応する。また、図18の判定回路830a(830b)におけるクロック信号 $\phi$ ( $/\phi$ )および入力信号Vs0+, Vs0-(Vs1+, Vs1-)は、図11の判定回路630におけるクロック信号 $\phi_1$ および入力信号D[0], DX[0]に対応する。

## 【0079】

ここで、判定回路830a(830b)の入力信号Vs0+, Vs0-(Vs1+, Vs1-)は、サンプリング部820a(820b)から供給される。そして、判定回路830a(830b)は、クロック信号 $\phi$ ( $/\phi$ )の立ち上がりで信号の『0』、『1』の判定を行う。本第5実施例では、5GHzクロック信号 $\phi$ ( $/\phi$ )の高レベル『H』の期間(100psec.)のみサンプリング回路が入力を積分するため、他のピットセルの影響がサンプリング回路の出力に影響することを避けることができる。

## 【0080】

図19は図18のレシーバ回路におけるアナログ電源電圧VDDAを生成する回路827の一例を示す図である。

## 【0081】

アナログ電源電圧生成回路827は、電流源8271、nMOSトランジスタ8272、差動増幅器8273、pMOSトランジスタ8274および負荷8275を備えて構成される。そして、インバータ826は、このようにして生成されたアナログ電源電圧VDDAをその電源電圧とし、入力されたクロック $\phi$ ( $/\phi$

) を反転してテイル電流駆動用パルス電流源（トランジスタ845）を駆動する

【0082】

図20は本発明のレシーバ回路の第6実施例を示す回路図である。

【0083】

図20と図18との比較から明らかなように、本第6実施例のレシーバ回路は、第5実施例のレシーバ回路におけるテイル電流駆動用パルス電流源（トランジスタ）845を図16で説明したのと同様に、直列接続されたスイッチ（スイッチ用トランジスタ）825および電流源（テイル電流供給トランジスタ）840で構成したものである。ここで、一方のレシーバユニット80aにおけるトランジスタ825のゲートにはクロック信号 $\phi$ が供給され、また、他方のレシーバユニット80bにおけるトランジスタ825のゲートにはクロック信号 $\phi$ が供給される。なお、各レシーバユニット80a, 80bにおけるトランジスタ840のゲートには、一定のゲート電圧 $V_{cn}$ が印加されている。

【0084】

本第6実施例のレシーバ回路は、アナログ電源電圧VDDAで駆動されるインバータ826を使用しないため、ゲートを駆動する波形は通常のロジックと同等の速度が得られる利点がある。

【0085】

図21は本発明のレシーバ回路の第7実施例を示す回路図であり、各レシーバユニット80a, 80bにおけるサンプリング部820a, 820bのみを示すものである。

【0086】

図21と図20におけるサンプリング部との比較から明らかなように、本第7実施例のレシーバ回路（サンプリング部820a, 820b）では、テイル電流のスイッチングが差動（相補）のクロック信号 $\phi$ ,  $\phi$ が供給されたさらなる一対の差動トランジスタ825, 828により行われ、サンプリング部（サンプリング回路）が動作していない間、テイル電流源826からの電流を高電位電源VDD側にバイパスするようになっている。

## 【0087】

すなわち、一方のサンプリング部820aにおいて、クロック信号 $\phi$ が低レベル『L』となってトランジスタ825がオフし、テイル電流供給用のトランジスタ826が差動対トランジスタ823, 824から遮断されるとき、クロック信号 $\phi$ が高レベル『H』となってトランジスタ828がオンし、テイル電流供給用のトランジスタ826が高電位の電源線(VDD)に接続されるようになっている。また、他方のサンプリング部820bにおいて、クロック信号 $\phi$ が低レベル『L』となってトランジスタ825がオフし、テイル電流供給用のトランジスタ826が差動対トランジスタ823, 824から遮断されるとき、クロック信号 $\phi$ が高レベル『H』となってトランジスタ828がオンし、テイル電流供給用のトランジスタ826が高電位の電源線(VDD)に接続されるようになっている。

## 【0088】

このように、本第7実施例のレシーバ回路では、テイル電流供給用のトランジスタ828は常に一定電流を流すように動作するため、このトランジスタ828のドレイン電圧の変動が小さくなり電流切り替えが高速に行われるという利点がある。

## 【0089】

図22は本発明のレシーバ回路の第8実施例を示す回路図である。

## 【0090】

図22と図21との比較から明らかなように、本第8実施例のレシーバ回路(サンプリング部820a, 820b)は、一方のレシーバユニット820aにおけるトランジスタ825がオフするときにオンしてテイル電流供給用のトランジスタ826を高電位の電源線(VDD)に接続するトランジスタ828を他方のレシーバユニット820bにおけるトランジスタ825として使用し、且つ、他方のレシーバユニット820bにおけるトランジスタ828を一方のレシーバユニット820aにおけるトランジスタ825として使用するものである。

## 【0091】

本第8実施例のレシーバ回路は、上述した第7実施例と同様に、テイル電流供

給用のトランジスタ828のドレン電圧変動を小さくして電流切り替えを高速に行うことができるので加え、テイル電流が無駄に電源線VDDにバイパスされないため電流消費をほぼ半分に低減することができるという利点がある。

## 【0092】

図23は本発明のレシーバ回路の第9実施例を示す回路図であり、図24は図23に示すレシーバ回路の変形例を示す回路図である。なお、図23および図24では、1つのレシーバユニットにおけるサンプリング部820a(820b)のみを示している。

## 【0093】

図23に示されるように、本第9実施例のレシーバ回路（サンプリング部820a(820b)）は、サンプリング回路のテイル電流（ここでは、差動対トランジスタ823, 824のソース電流の和）をスイッチする手段として、この差動対トランジスタ823, 824のソースノードに高電位電源線（VDD）から電流をトランジスタ8250で電流を注入するようになっている。

## 【0094】

すなわち、本第9実施例では、pMOSトランジスタ8250を高電位電源線（VDD）と差動対トランジスタ823, 824のソースとの間に設けるようになっている。そして、このpMOSトランジスタ8250のゲート電圧が低レベル『L』のとき差動対トランジスタ823, 824のソース電位は高電位電源電圧VDDにプルアップされ、その結果、サンプリング部820a(820b)の入力差動対トランジスタ823, 824はオフする。このとき、テイル電流源のnMOSトランジスタ826の電流は全てpMOSトランジスタに流れ込む。さらに、pMOSトランジスタ8250のゲート電圧が高レベル『H』になるとこのpMOSトランジスタ8250からの電流注入はなくなり、テイル電流源（826）の電流は全てサンプリング部の差動対トランジスタ823, 824のテイル電流となる。

## 【0095】

このように、本第9実施例では、テイル電流源826と直列のスイッチではなく並列のスイッチ（8250）により実質的にサンプリング部の差動対トランジ

スタ823, 824のテイル電流をスイッチするため、テイル電流源826に直列のトランジスタが挿入されず、より一層の低電圧動作が可能という利点がある。

## 【0096】

図24は上述した第9実施例のレシーバ回路の変形例を示し、pMOSトランジスタ8250の代わりにnMOSトランジスタ8260を使用して差動対トランジスタ823, 824のソース電位を変化させるようになっている。このトランジスタ8260は、いわゆるソースカップルであり、スイッチ用トランジスタのゲートを高レベル『H』にするとソース電位は上昇し、それに伴って差動対トランジスタ823, 824のソース電流の和（テイル電流）は減少する。つまり、テイル電流源826の電流は、スイッチ用nMOSトランジスタ8260側に分流される。ここで、スイッチ用nMOSトランジスタ8260のサイズを適当に選ぶことにより、サンプリング部（差動対トランジスタ823, 824）の電流をほぼ全てオン／オフさせることができる。本変形例では、高速のnMOSトランジスタを使用できるため、回路の動作周波数を高くしやすいという利点がある。

## 【0097】

図25は本発明のレシーバ回路の第10実施例を示す回路図であり、四相クロック信号 $\phi_0 \sim \phi_3$ を使用して4-way動作を行うようになっている。ここで、四相クロック信号 $\phi_0 \sim \phi_3$ は、例えば、前述した図12に示されるような互いに90度の位相差を有するクロックである。ここで、各サンプリング部820a～820dは同様の構成とされ、また、サンプリング部820aと820cで1つのテイル電流源（トランジスタ）826を共用すると共にサンプリング部820bと820dで1つのテイル電流源826を共用するようになっている。

## 【0098】

本第10実施例のレシーバ回路（サンプリング部）は、差動対トランジスタを2段重ね（8251, 8253および8252）にした回路構成により、四相のクロック信号 $\phi_0 \sim \phi_3$ の重なり部分を使用してサンプリング回路の活性化（積分動作）を行うようになっている。そして、本第10実施例は4-way動作と

なるため、同じ信号周波数であれば4-waу動作レシーバ回路の方が2-waу動作のものよりも一定時間にサンプリング回路や判定回路の動作を倍にすることができ、動作速度により余裕が生じるという利点がある。

## 【0099】

すなわち、本第10実施例のレシーバ回路は、実質的には、図22に示す回路を2つ設け、四相クロック信号 $\phi_0 \sim \phi_3$ により4-waу動作を行うものであるが、スイッチ用トランジスタ825として、トランジスタ8251～8253を使用するようになっている。これは、各トランジスタ8251～8253は、そのゲートに供給されるクロック信号が高レベル『H』になることによりオンするが、先にトランジスタ8252がオンしている状態で後からトランジスタ8251をオンさせる必要があるからである。すなわち、例えば、先にトランジスタ8251がオンしている状態で後からトランジスタ8252がオンすると、差動対トランジスタ823, 824のソース電流を高速にテイル電流源のnMOSトランジスタ826に流すことができないので、前述した図21の第7実施例のように、先にトランジスタ8251がオンして後からトランジスタ8252がオンするタイミングでは、テイル電流供給用のトランジスタ826を高電位の電源線(VDD)に接続するようにしている。

## 【0100】

なお、後述するように、このスイッチ用トランジスタ(8251～8253)の構成は、使用するクロック信号により1段のスイッチ用トランジスタとして構成することも可能である。

## 【0101】

図26は本発明のレシーバ回路の第11実施例を示す回路図であり、上記の第10実施例と同様に、四相クロック信号 $\phi_0 \sim \phi_3$ を使用して4-waу動作を行うものである。なお、各サンプリング部820a～820dは同様の構成とされている。

## 【0102】

図26と図24との比較から明らかなように、本第11実施例は、前述した図24に示す第9実施例の変形例におけるnMOSトランジスタ(スイッチ)82

60を2つの異なるクロック信号が入力される2つのnMOSトランジスタ8261, 8262で構成するようになっている。

#### 【0103】

具体的に、例えば、サンプリング部820aにおいて、トランジスタ8261のゲートにはクロック信号 $\phi_0$ が供給され、また、トランジスタ8262のゲートにはクロック信号 $\phi_1$ が供給され、これらクロック信号 $\phi_0$ および $\phi_1$ が両方とも低レベル『L』となる期間だけ、サンプリング回路の活性化（積分動作）を行うようになっている。なお、他のサンプリング部820b～820dは、それぞれ90度の位相だけずれて順次サンプリング回路の活性化を行うことになる。なお、図24と図23の関係から明らかなように、2つのnMOSトランジスタ8261, 8262として2つのpMOSトランジスタを使用することもできるのはいうまでもない。

#### 【0104】

図27は本発明のレシーバ回路の第12実施例を示すブロック図であり、図28は図27のレシーバ回路の動作を説明するためのタイミング図である。本第12実施例のレシーバ回路では、図28に示されるような四相クロック信号 $\phi_0$ ～ $\phi_3$ を使用して4-way動作を行うようになっている。すなわち、クロック信号 $\phi_0$ ～ $\phi_3$ は、互いに位相が90度ずれており、高レベル『H』となる期間T2が一周期T1の1/4（デューティー比が25%）となるような四相クロック信号である。ここで、電流源841a, 841b, 841c, 841dは、それぞれクロック信号 $\phi_0$ ,  $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ が高レベル『H』になる期間だけ動作し、その動作期間だけ対応するサンプリング部820a, 820b, 820c, 820dを活性化して積分動作を行わせるものである。

#### 【0105】

図27に示されるように、デューティー比が25%の四相クロック信号 $\phi_0$ ～ $\phi_3$ を使用して電流源841a～841dを制御することにより、サンプリング部820a～820dを4-way駆動することができる。なお、図28において、DOUT[0], DOUTX[0] ; DOUT[1], DOUTX[1] ; DOUT[2], DOUTX[2] ; DOUT[3], DOUTX[3]は、4

$-w\ a\ y$ 動作する判定回路(830a, 830b, 830c, 830d)の出力(判定結果)を示す。これら各判定回路830a～830dは、例えば、前述した図18の判定回路830aと同様の構成とされ、それぞれの制御信号(クロック信号)として、異なる位相の四相クロック信号 $\phi 0 \sim \phi 3$ を順次供給する。

#### 【0106】

図29は本発明のレシーバ回路の第13実施例を示すブロック図であり、図30は図29のレシーバ回路の動作を説明するためのタイミング図である。この図29に示す第13実施例のレシーバ回路は、例えば、図13を参照して説明した第4実施例のように、上記第12実施例のサンプリング部820a～820dを2つの差動増幅部を有するイコライザ回路として構成する場合を示すものである。なお、第1の差動増幅部、第2の差動増幅部、並びに、これら第1および第2の差動増幅部の接続を制御するスイッチ等は、前述した第4実施例と同様であり、各トランスクンダクタの出力電流を加算して出力の大きさの調整(出力の重み付け)を行い、伝送路の特性から生じる信号間干渉を補償するようになっている。

#### 【0107】

図29および図30に示されるように、本第13実施例のレシーバ回路においても、デューティー比が25%の四相クロック信号 $\phi 0 \sim \phi 3$ を使用して $-w\ a\ y$ 動作を行うようになっている。

#### 【0108】

図31は本発明のレシーバ回路の第14実施例を示す回路図であり、図32は図31のレシーバ回路の動作を説明するためのタイミング図である。本第14実施例のレシーバ回路は、上記の第13実施例と同様に、サンプリング部820a～820dを2つの差動増幅部820aa, 820ab～820da, 820dbを有するイコライザ回路として構成している。

#### 【0109】

ここで、本第14実施例における電流源8431および8432は、図29の第13実施例における電流源843に対応し、また、本第14実施例における電流源8441および8442は、図29の第13実施例における電流源844に

対応する。さらに、本第14実施例におけるサンプリング部の一部（サンプリング部820aおよび820cの一方の差動増幅部）を纏めた回路820aaおよび820caは、図25に示す第10実施例のサンプリング部820aおよび820cに対応し、また、本第14実施例におけるサンプリング部の一部（サンプリング部820bおよび820dの一方の差動増幅部）を纏めた回路820baおよび820daは、図25に示す第10実施例のサンプリング部820bおよび820dに対応する。なお、図31の回路と図25の回路とでは、出力（サンプリング部の出力）を取り出すノードおよび制御信号（クロック信号 $\phi_0 \sim \phi_3$ ）の供給個所等が異なっているが実質的には同様のものである。

#### 【0110】

さらに、本第14実施例は、第1の（一方の）差動増幅部820aa, 820ba, 820ca, 820daに対して、第2の（他方の）差動増幅部820ab, 820bb, 820cb, 820dbが設けられている。これら第2の差動増幅部820ab, 820bb, 820cb, 820dbは全て同様の構成とされ、第1の差動増幅部820aa, 820ba, 820ca, 820daに対応した差動対トランジスタ（nMOSトランジスタ）823', 824'およびスイッチ（トランジスタ）8251' ~ 8253'を備えている。

#### 【0111】

図31および図32に示されるように、本第14実施例のレシーバ回路においては、デューティー比が50%の四相クロック信号 $\phi_0 \sim \phi_3$ を使用して4-way動作を行うようになっている。

#### 【0112】

具体的に、例えば、サンプリング部820a（第1の差動増幅部820aaおよび第2の差動増幅部820ab）において、第1の差動増幅部820aaの差動対トランジスタ823, 824は、クロック信号 $\phi_0$ および $\phi_3$ が両方とも高レベル『H』になる期間だけスイッチ（トランジスタ）8251, 8252がオンして入力信号（DATA, DATAX）サンプリングを行い、また、第2の差動増幅部820abの差動対トランジスタ823', 824'は、クロック信号 $\phi_3$ および $\phi_2$ が両方とも高レベル『H』になる期間だけトランジスタ8251

'，8252' がオンしてサンプリングを行うようになっている。すなわち、差動対トランジスタ（サンプリング回路）823'，824' は、差動対トランジスタ823，824 がサンプリングするビットの次のビットをサンプリングし、それらが足し合わされた信号が出力Vs0+, Vs0-として出力され、判定回路により判定されるようになっている。このように、本第14実施例では、2つの差動増幅部（820aa, 820ab; 820ba, 820bb; 820ca, 820cb; 820da, 820db）により出力レベルを調整して信号伝送路特性の補償（符号間干渉の削減）を行うようになっている。

#### 【0113】

ここで、例えば、第1の差動増幅部820aa, 820ba, 820ca, 820daの出力レベルの調整は、電流源8431, 8432を流れる電流を制御することで行うことができる。また、電流源8441, 8442を流れる電流を制御して第2の差動増幅部820ab, 820bb, 820cb, 820dbの出力レベルの調整を行うこともできるが、通常、電流源8431, 8432を流れる電流を制御して第1の差動増幅部の出力レベルを調整すれば十分である。

#### 【0114】

以上説明したように、本発明のレシーバ回路によれば、高速信号の受信に問題となる伝送路特性から生ずる符号間干渉を無効化することができるため、従来よりも高い精度で高速な受信信号を判定することが可能になる。

#### 【0115】

（付記1） 入力信号をサンプリングするサンプリング回路と、  
該サンプリング回路の出力をバッファするバッファ回路と、  
該バッファ回路の出力の判定を行う判定回路と、  
前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ回路。

#### 【0116】

（付記2） 入力信号をサンプリングするサンプリング回路と、  
該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、  
前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値  
とするバッファ制御回路とを備えることを特徴とするレシーバ回路。

【0117】

(付記3) 付記1または2に記載のレシーバ回路において、前記バッファ制  
御回路は、前記バッファ回路と電源線との間に配置されたスイッチであることを  
特徴とするレシーバ回路。

【0118】

(付記4) 付記1または2に記載のレシーバ回路において、前記バッファ制  
御回路は、前記バッファ回路の出力と負荷デバイスとの間に配置されたスイッチ  
であることを特徴とするレシーバ回路。

【0119】

(付記5) 付記1または2に記載のレシーバ回路において、さらに、前記サ  
ンプリング回路が入力信号のサンプリングを行う前に、前記判定回路の入力をプ  
リチャージするプリチャージ回路を備えることを特徴とするレシーバ回路。

【0120】

(付記6) 付記1または2に記載のレシーバ回路において、前記サンプリン  
グ回路は、一連のビット列をサンプルする複数のサンプルスイッチを備え、且つ  
、前記バッファ回路は、該各サンプルスイッチに対応して複数設けられているこ  
とを特徴とするレシーバ回路。

【0121】

(付記7) 付記1または2に記載のレシーバ回路において、前記バッファ回  
路は、複数のバッファ回路ユニットを備え、該各バッファ回路ユニットの出力の  
大きさを調整することで信号伝送路の特性を補償するようにしたことを特徴とす  
るレシーバ回路。

【0122】

(付記8) 付記1または2に記載のレシーバ回路において、前記バッファ回  
路は入力電圧を電流に変換するトランスコンダクタであり、前記バッファ制御回  
路は、前記サンプリングが行われるタイミングまで、該トランスコンダクタの電

流を小さくしておく電流源スイッチであることを特徴とするレシーバ回路。

【0123】

(付記9) 付記1または2に記載のレシーバ回路において、前記バッファ回路は、前記サンプリング回路が入力信号のサンプリングを行う前に当該バッファ回路に微小電流を流しておき微小電流回路を備えることを特徴とするレシーバ回路。

【0124】

(付記10) 付記1または2に記載のレシーバ回路において、さらに、前記バッファ回路の出力に、前記サンプリング回路が入力信号のサンプリングを行うときに当該バッファ回路の出力を略一定の値にするスイッチ回路を備えることを特徴とするレシーバ回路。

【0125】

(付記11) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とする信号伝送システム。

【0126】

(付記12) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値

とするバッファ制御回路とを備えることを特徴とする信号伝送システム。

【0127】

(付記13) 入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力の判定を行う判定回路と、前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とするレシーバ回路。

【0128】

(付記14) 付記13に記載のレシーバ回路において、前記サンプリング制御回路は、前記サンプリング回路の入力から出力までのトランスコンダクタンスの変化をスイッチングにより行うことを特徴とするレシーバ回路。

【0129】

(付記15) 付記14に記載のレシーバ回路において、前記トランスコンダクタンスのスイッチングは、差動対トランジスタのテイル電流のスイッチングにより行うことを特徴とするレシーバ回路。

【0130】

(付記16) 付記15に記載のレシーバ回路において、前記テイル電流のスイッチングは、電流路を、該当するトランスコンダクタのテイル電流側の経路とそれ以外の経路との間で切り替える電流切り替えにより行うことを特徴とするレシーバ回路。

【0131】

(付記17) 付記16に記載のレシーバ回路において、前記電流切り替えを、前記差動対トランジスタのドレン電流を切り替えるトランジスタスイッチにより行うことを特徴とするレシーバ回路。

【0132】

(付記18) 付記16に記載のレシーバ回路において、前記電流切り替えを、前記トランスコンダクタの入力トランジスタのソースに対して該入力トランジスタがオフになる方向の電流を注入することにより行うことを特徴とするレシ

バ回路。

【0133】

(付記19) 付記16に記載のレシーバ回路において、前記電流切り替えを、前記テイル電流が流れる期間が多相のクロック信号の重なり部分で決定されるように、並列または直列接続のトランジスタによるスイッチングで行うことを特徴とするレシーバ回路。

【0134】

(付記20) 付記16に記載のレシーバ回路において、1つの前記判定回路に対して異なるビットセルのサンプリングを行う複数の前記サンプリング回路を設け、該複数のサンプリング回路の出力の重み付き和を判定することを特徴とするレシーバ回路。

【0135】

(付記21) インターリープ動作する複数のレシーバユニットを備えるレシーバ回路装置であって、付記1～10および13～20のいずれか1項に記載のレシーバ回路を該各レシーバユニットとして構成するようにしたことを特徴とするレシーバ回路装置。

【0136】

(付記22) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力の判定を行う判定回路と、

前記サンプリング回路の入力から出力までのトランスコンダクタンスを動的に変化させて、該サンプリング回路の出力の入力信号依存性をサンプリング時点以外は十分小さくするサンプリング制御回路とを備えることを特徴とする信号伝送システム。

【0137】

【発明の効果】

以上、詳述したように、本発明によれば、符号間干渉を取り除き、より正確な

データ判定を行うことのできるレシーバ回路を提供することができる。

【図面の簡単な説明】

【図1】

信号伝送システムの全体構成を模式的に示すブロック図である。

【図2】

図1におけるレシーバ回路の一構成例を示すブロック図である。

【図3】

従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図である。

【図4】

従来のレシーバ回路における課題を説明するための図である。

【図5】

本発明に係るレシーバ回路の第1の形態における原理構成の一例を示すブロック回路図である。

【図6】

図5のレシーバ回路の動作を説明するための図である。

【図7】

本発明のレシーバ回路の第1実施例を示すブロック図である。

【図8】

本発明のレシーバ回路の第2実施例を示すブロック図である。

【図9】

本発明のレシーバ回路の第3実施例を示すブロック図である。

【図10】

図9のレシーバ回路におけるイコライザ回路の一例を示す回路図である。

【図11】

図9のレシーバ回路における判定回路の一例を示す回路図である。

【図12】

図9のレシーバ回路の動作を説明するためのタイミング図である。

【図13】

本発明のレシーバ回路の第4実施例を示すブロック図である。

【図14】

図13のレシーバ回路の動作を説明するための図である。

【図15】

図13のレシーバ回路の動作を説明するためのタイミング図である。

【図16】

本発明に係るレシーバ回路の第2の形態における原理構成の一例を示すブロック回路図である。

【図17】

図16のレシーバ回路の動作を説明するための図である。

【図18】

本発明のレシーバ回路の第5実施例を示す回路図である。

【図19】

図18のレシーバ回路におけるアナログ電源電圧を生成する回路の一例を示す図である。

【図20】

本発明のレシーバ回路の第6実施例を示す回路図である。

【図21】

本発明のレシーバ回路の第7実施例を示す回路図である。

【図22】

本発明のレシーバ回路の第8実施例を示す回路図である。

【図23】

本発明のレシーバ回路の第9実施例を示す回路図である。

【図24】

図23に示すレシーバ回路の変形例を示す回路図である。

【図25】

本発明のレシーバ回路の第10実施例を示す回路図である。

【図26】

本発明のレシーバ回路の第11実施例を示す回路図である。

【図27】

本発明のレシーバ回路の第12実施例を示すブロック図である。

【図28】

図27のレシーバ回路の動作を説明するためのタイミング図である。

【図29】

本発明のレシーバ回路の第13実施例を示すブロック図である。

【図30】

図29のレシーバ回路の動作を説明するためのタイミング図である。

【図31】

本発明のレシーバ回路の第14実施例を示す回路図である。

【図32】

図31のレシーバ回路の動作を説明するためのタイミング図である。

【符号の説明】

1 … ドライバ回路（送信回路）

2 … 伝送線路（信号伝送路）

3 … レシーバ回路（受信回路）

31～34；80a, 80b…レシーバユニット

311, 312; 411, 412; 510～513; 611, 612…サンプルスイッチ

320; 420; 520～523; 621, 622…バッファ回路

330; 430; 530～533; 631, 632…判定回路

440; 6110; 6140…電流源

641, 642…スイッチ回路（pMOSスイッチ）

610～613…イコライザ回路

610a, 610b…差動増幅部（トランスコンダクタ）

6111, 6112; 6141, 6142…トランスファゲート

710a, 711a, 712a, 713a…第1の差動増幅部

710b, 711b, 712b, 713b…第2の差動増幅部

710c, 711c, 712c, 713c…スイッチ

730～733…ラッチ（判定回路）

820a, 820b, 820c, 820d…サンプリング部

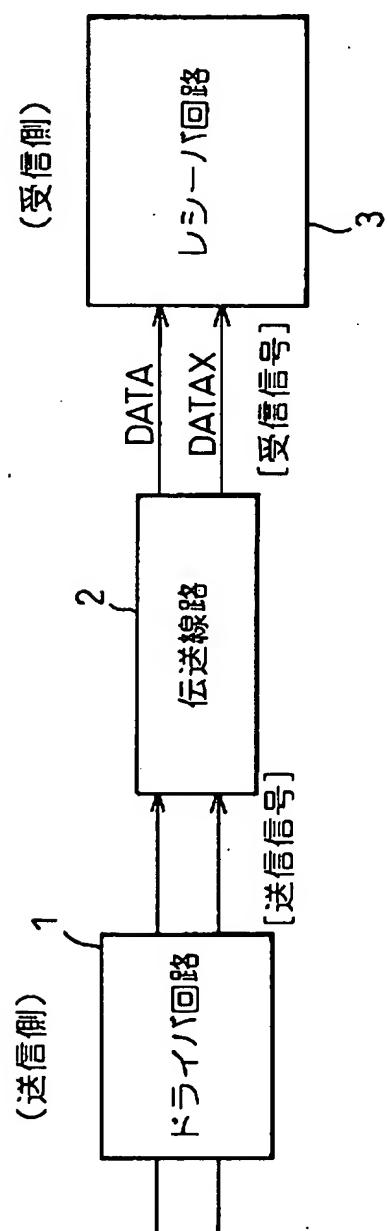
830a, 830b…判定回路

【書類名】 図面

【図1】

図1

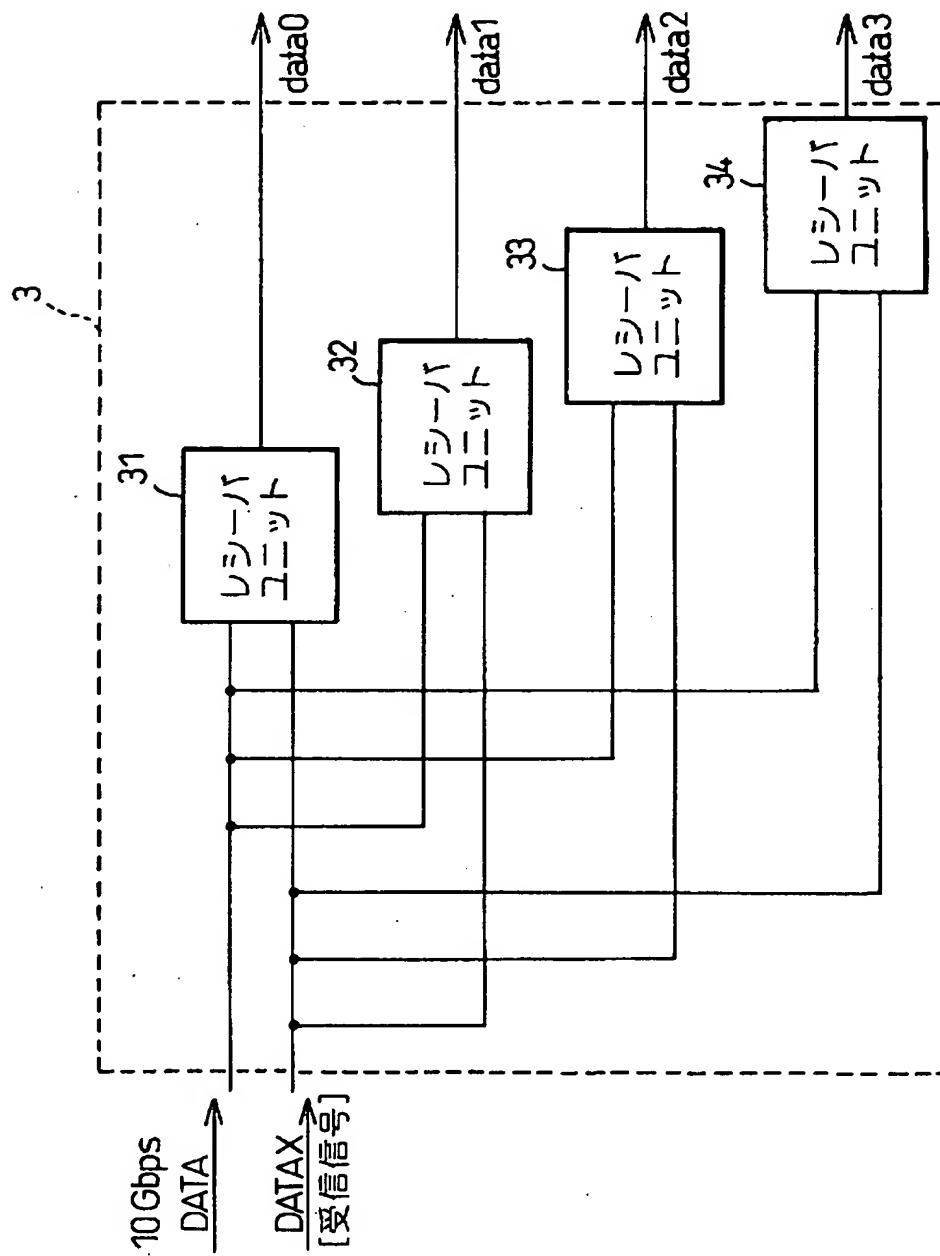
信号伝送システムの全体構成を模式的に示すブロック図



【図2】

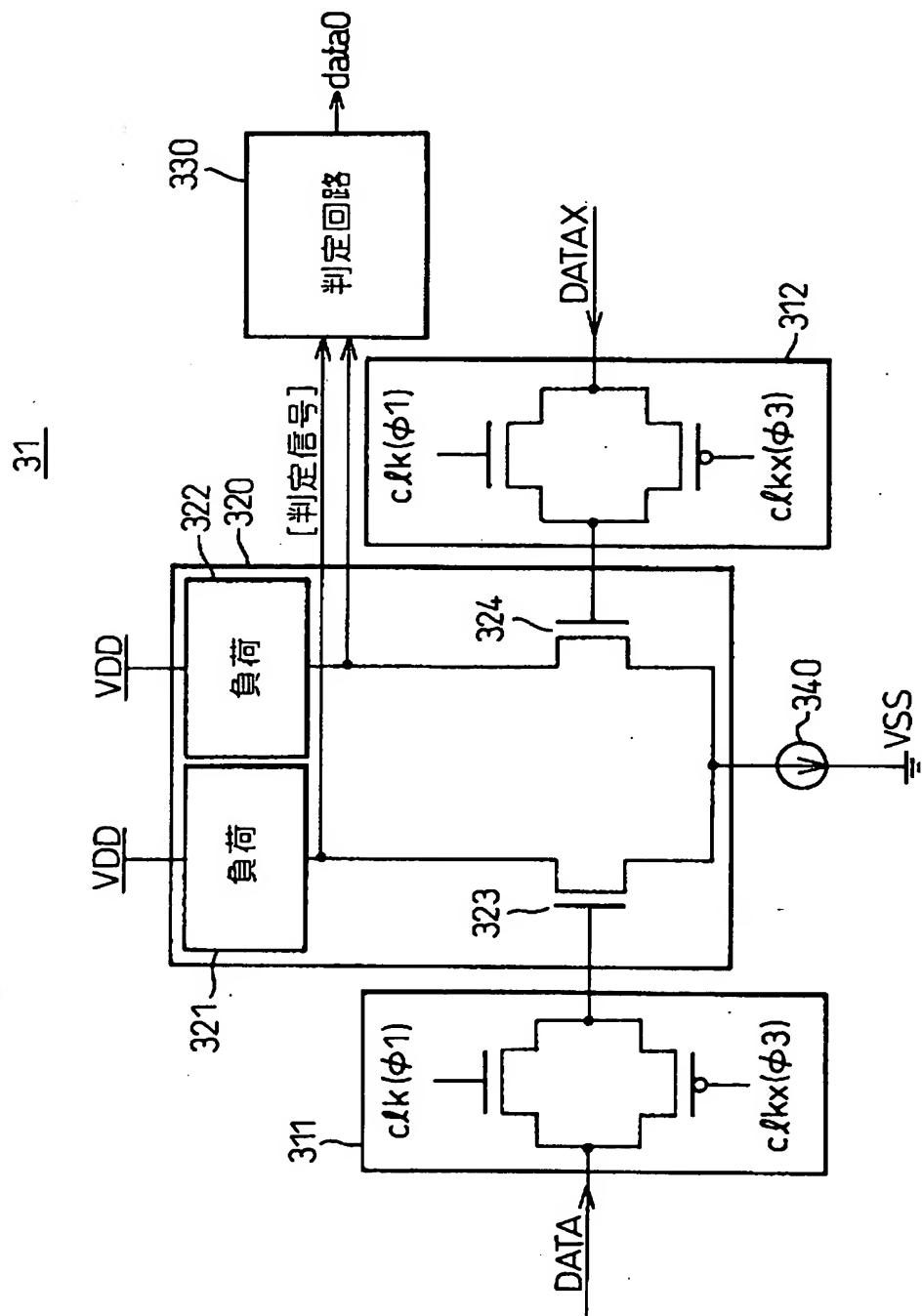
図2

図1におけるレシーバ回路の一構成例を示すブロック図



【図3】

図3 従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図



【図4】

図4

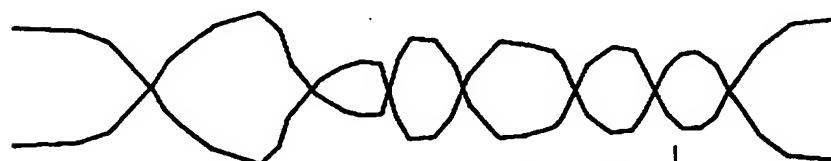
従来のレシーバ回路における課題を説明するための図

(a) 送信信号



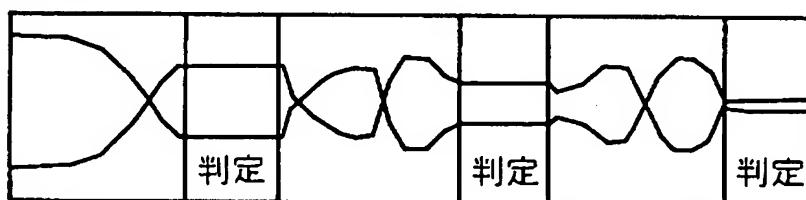
伝送路特性より  
波形がなまる

(b) 受信信号



この波形を  
判定したい

(c) 判定信号



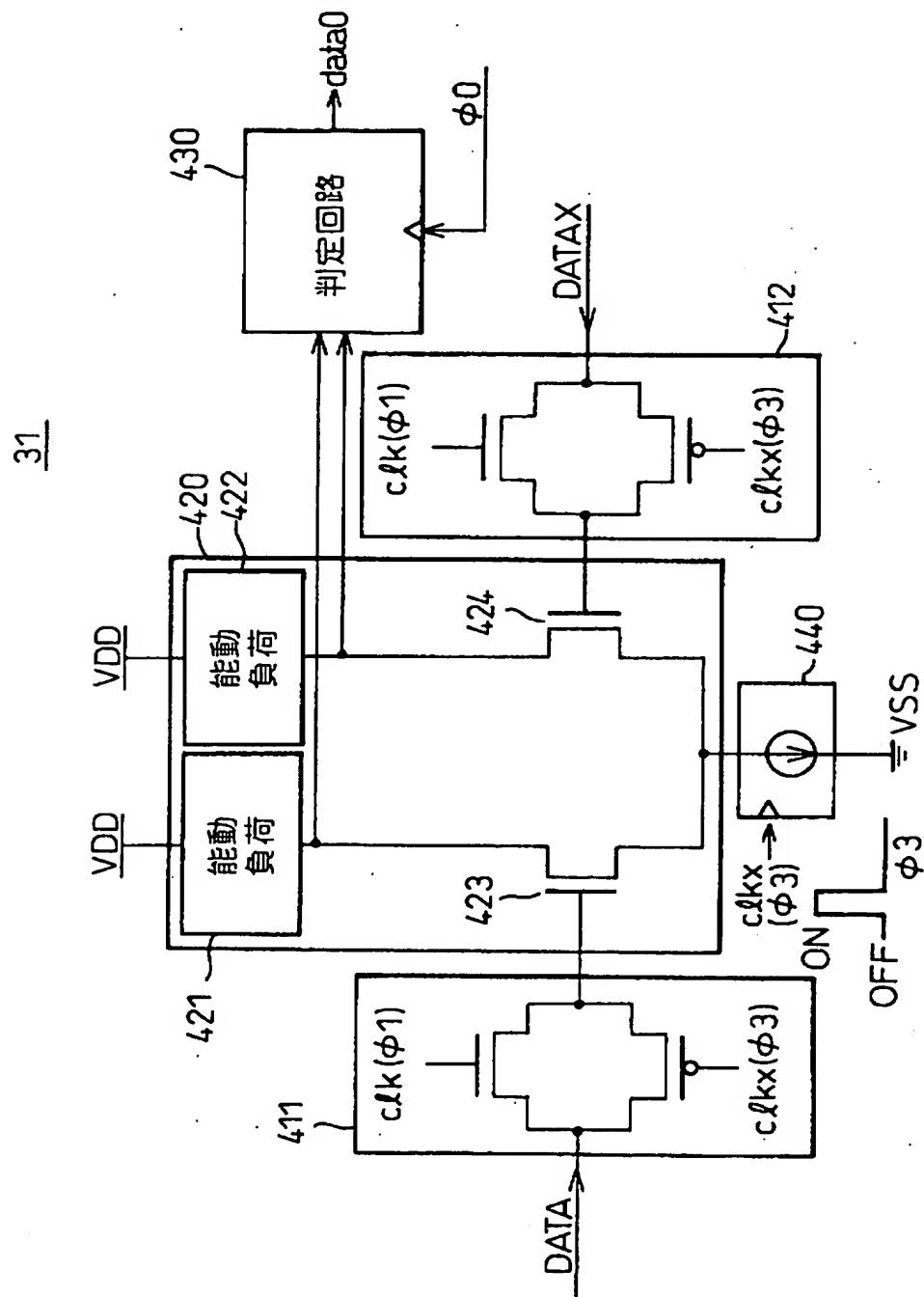
サンプリングON OFF ON OFF ON OFF  
スイッチ

判定  
不能

【図5】

5

# 本発明に係るレシーバ回路の第1の形態における原理構成の一例を示すブロック回路図

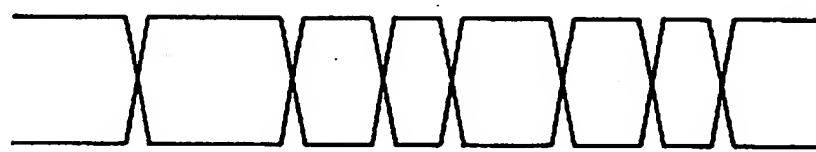


【図6】

図6

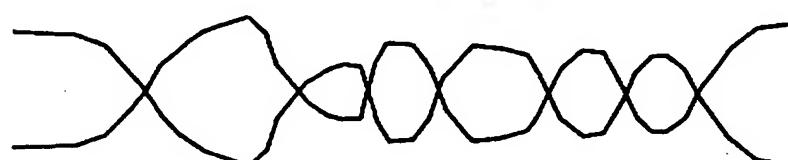
図5のレシーバ回路の動作を説明するための図

(a) 送信信号

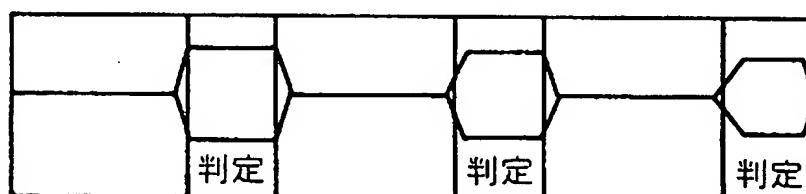


伝送路特性より  
波形がなまる

(b) 受信信号



(c) 判定信号

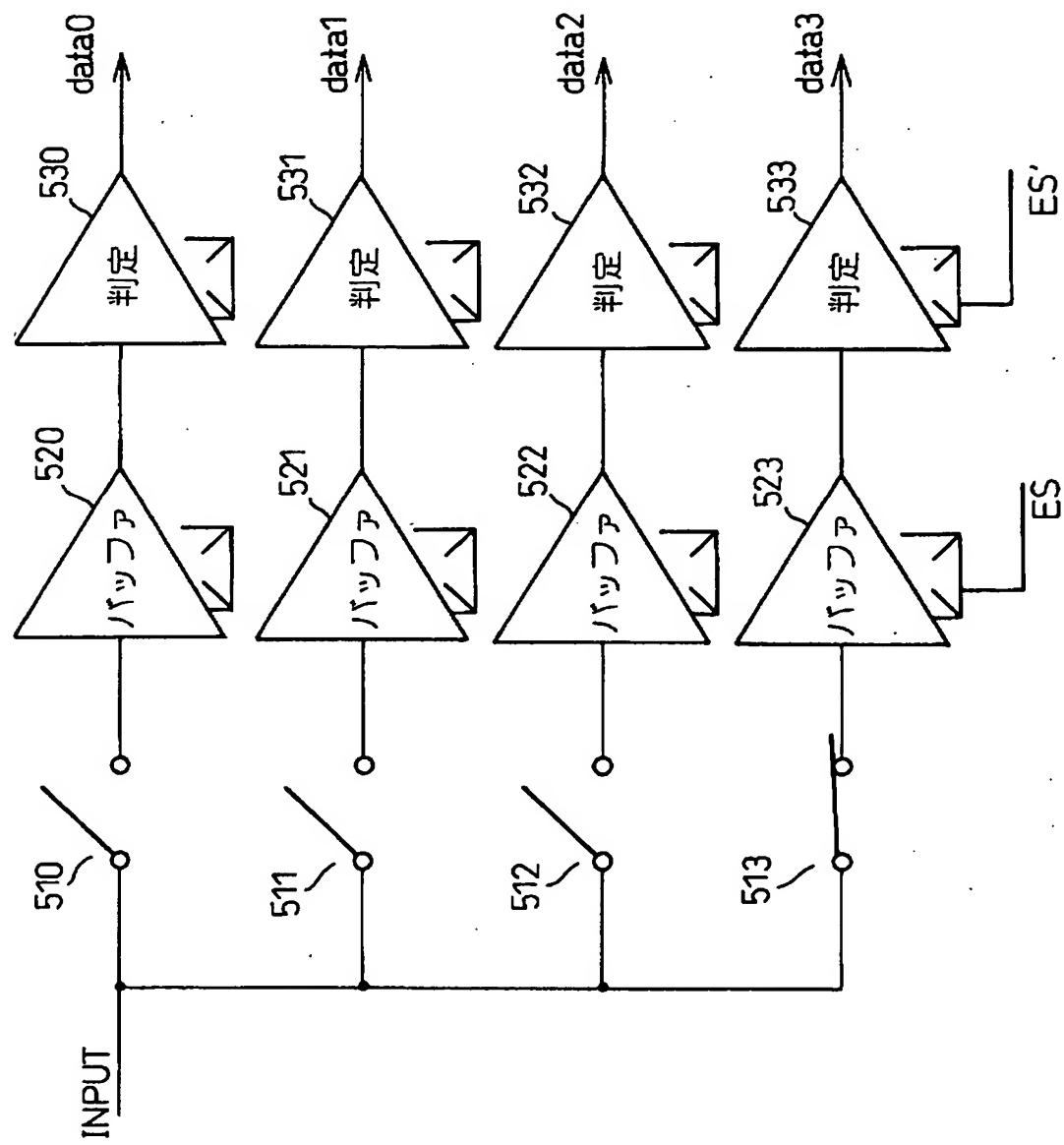


電流源スイッチ OFF ON OFF ON OFF ON

【図7】

図7

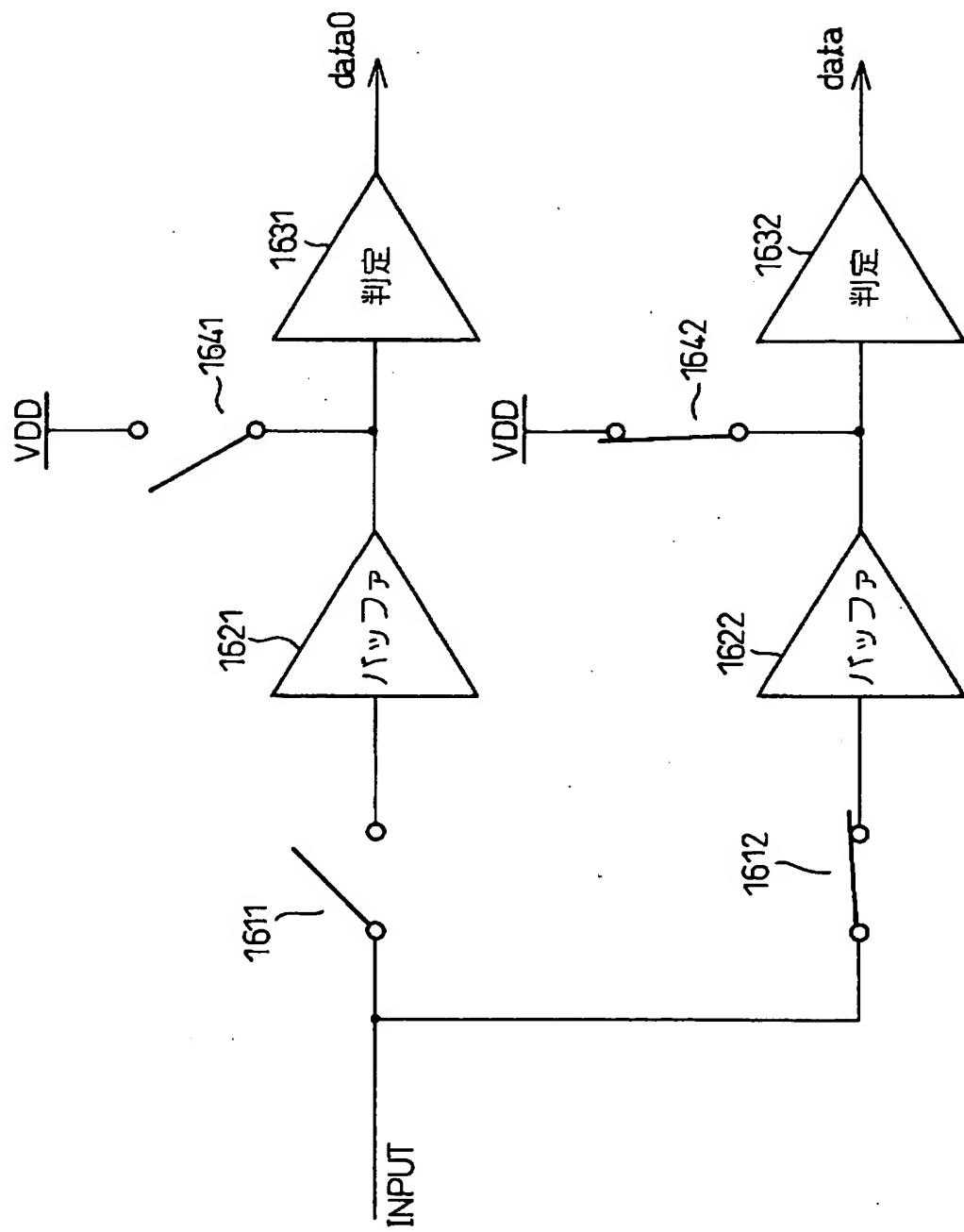
本発明のレシーバ回路の第1実施例を示すブロック図



【図8】

図8

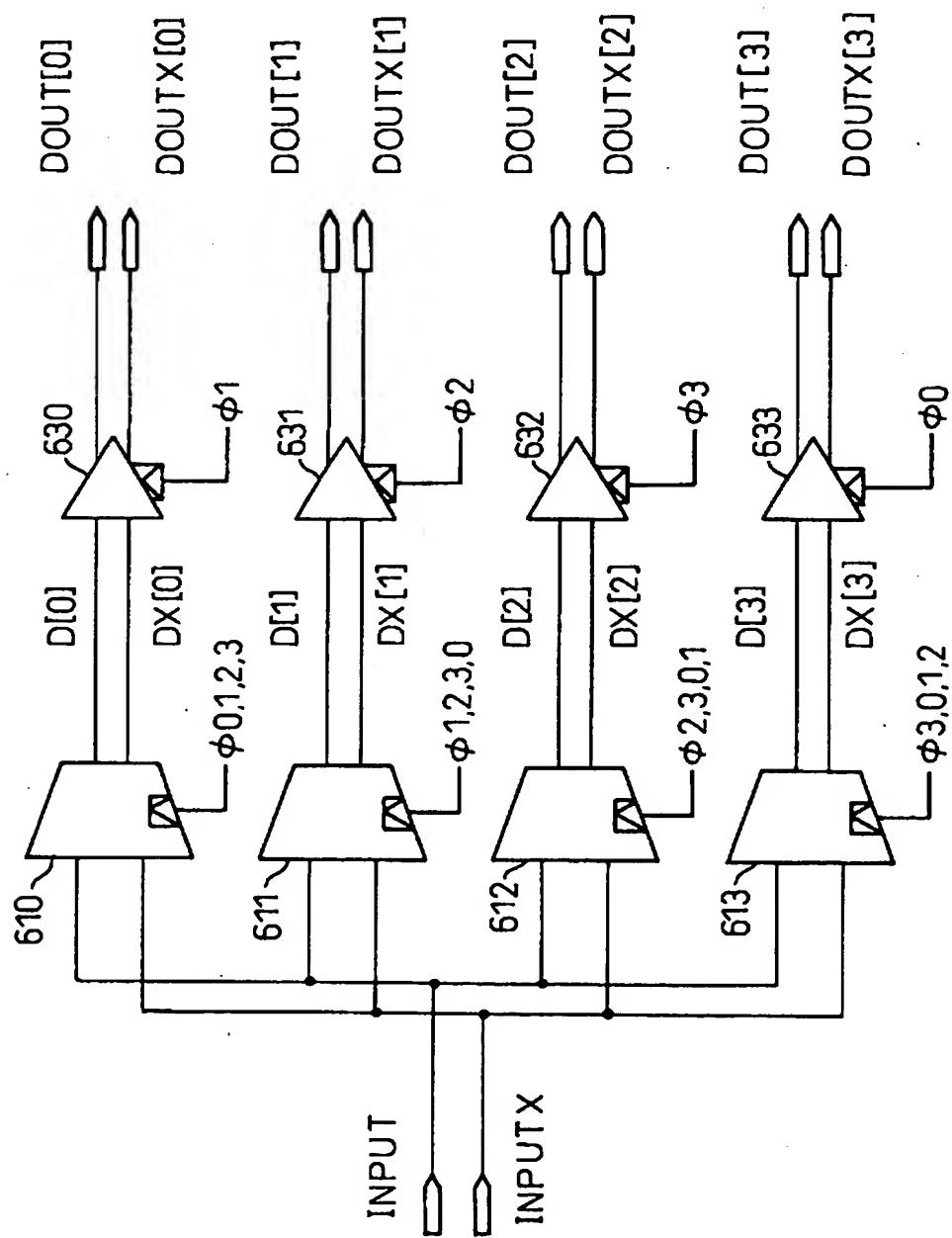
本発明のレシーバ回路の第2実施例を示すブロック図



【図9】

図9

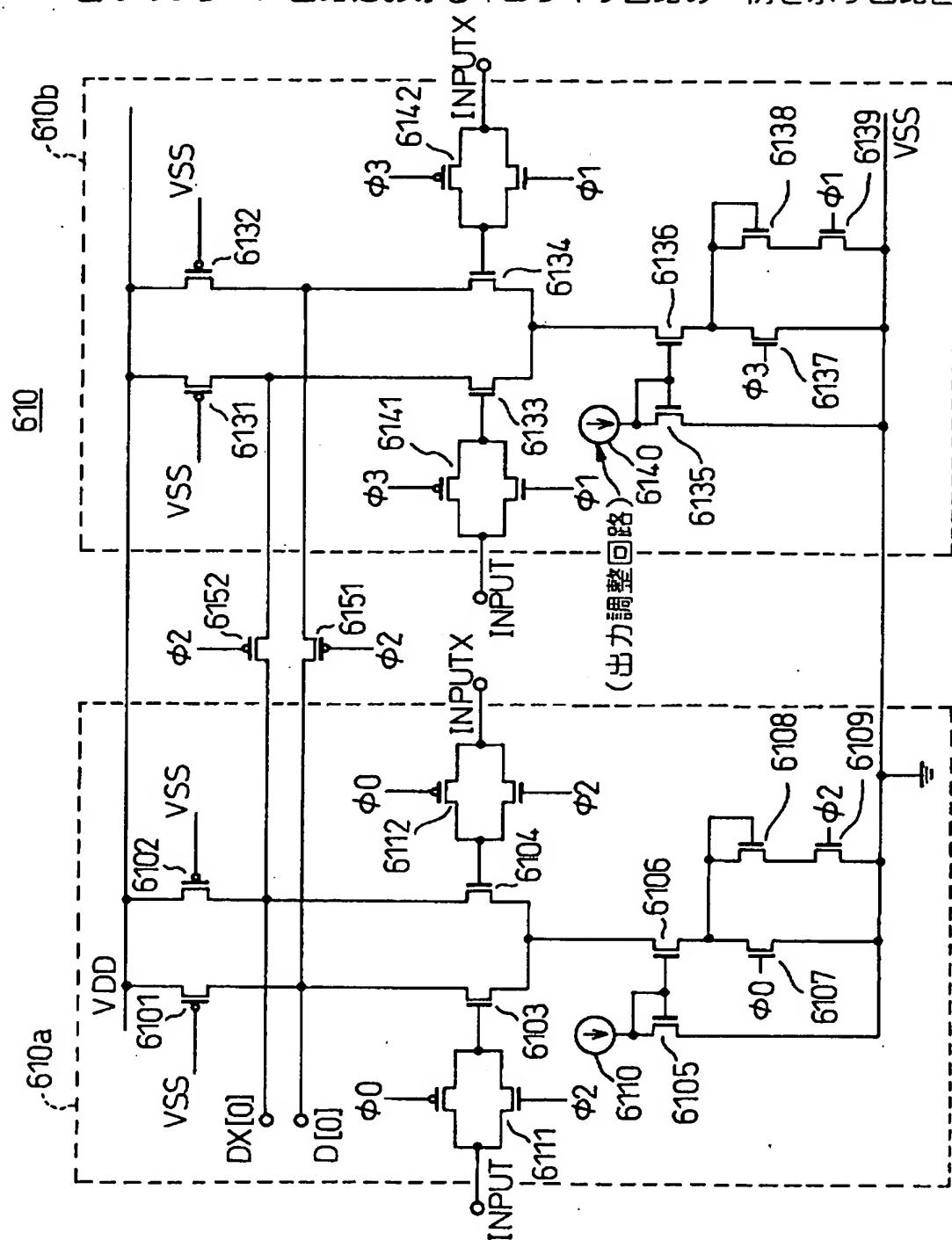
本発明のレシーバ回路の第3実施例を示すブロック図



【図10】

図10

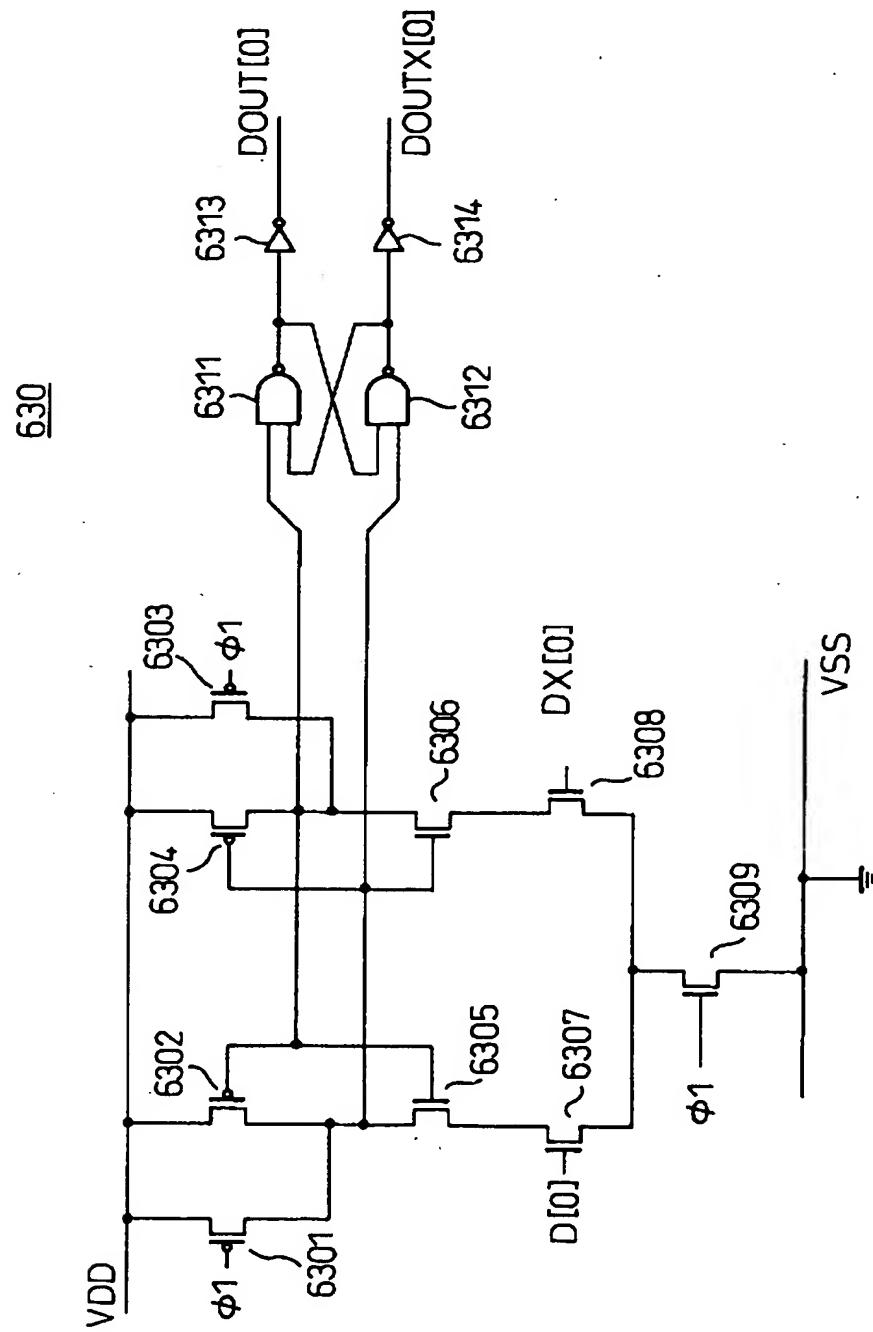
図9のレシーバ回路におけるイコライザ回路の一例を示す回路図



【図11】

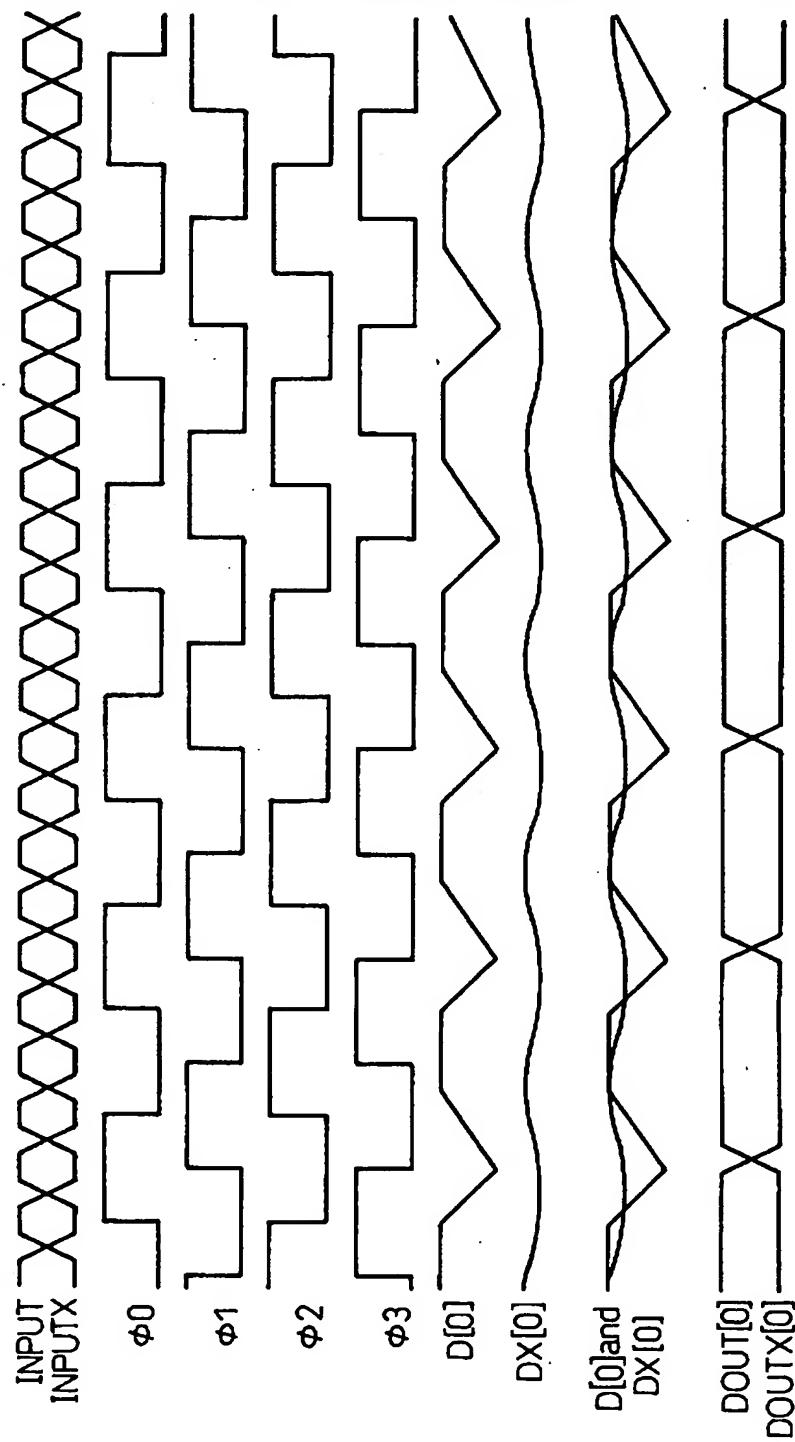
図11

図9のレシーバ回路における判定回路の一例を示す回路図



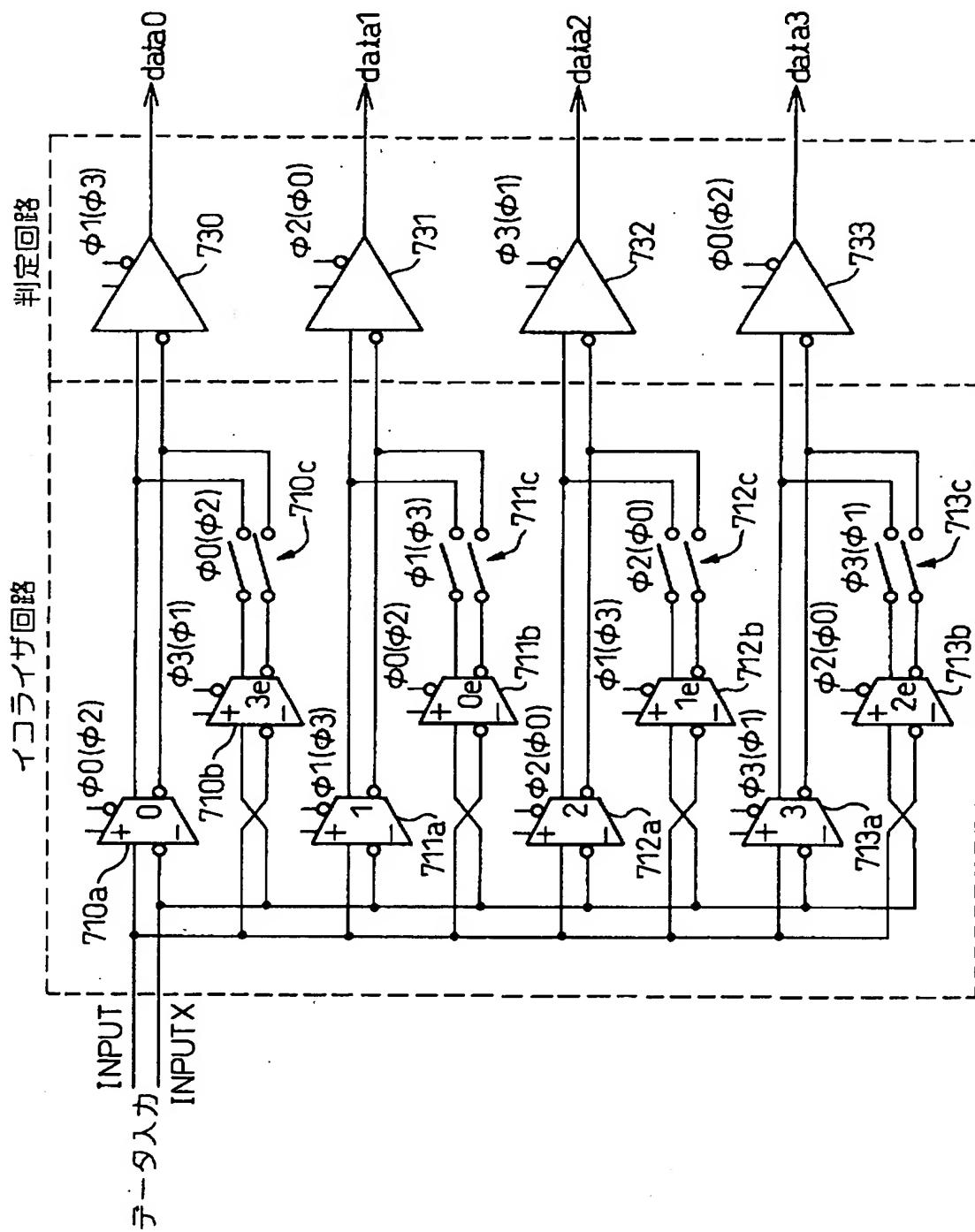
【図12】

図12 図9のレシーバ回路の動作を説明するためのタイミング図



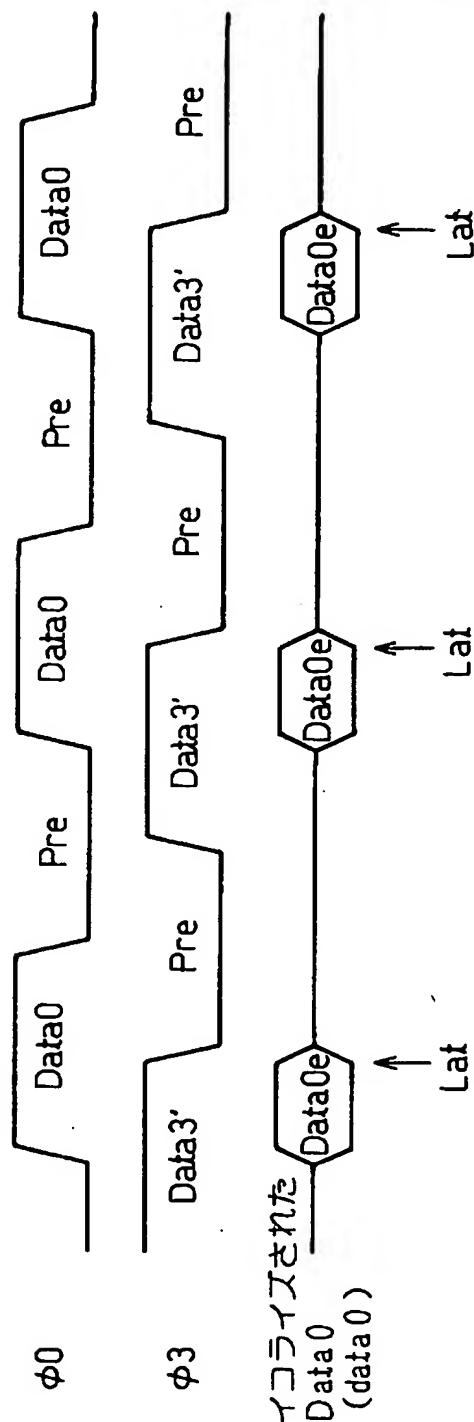
【図13】

図13 本発明のレシーバ回路の第4実施例を示すブロック図



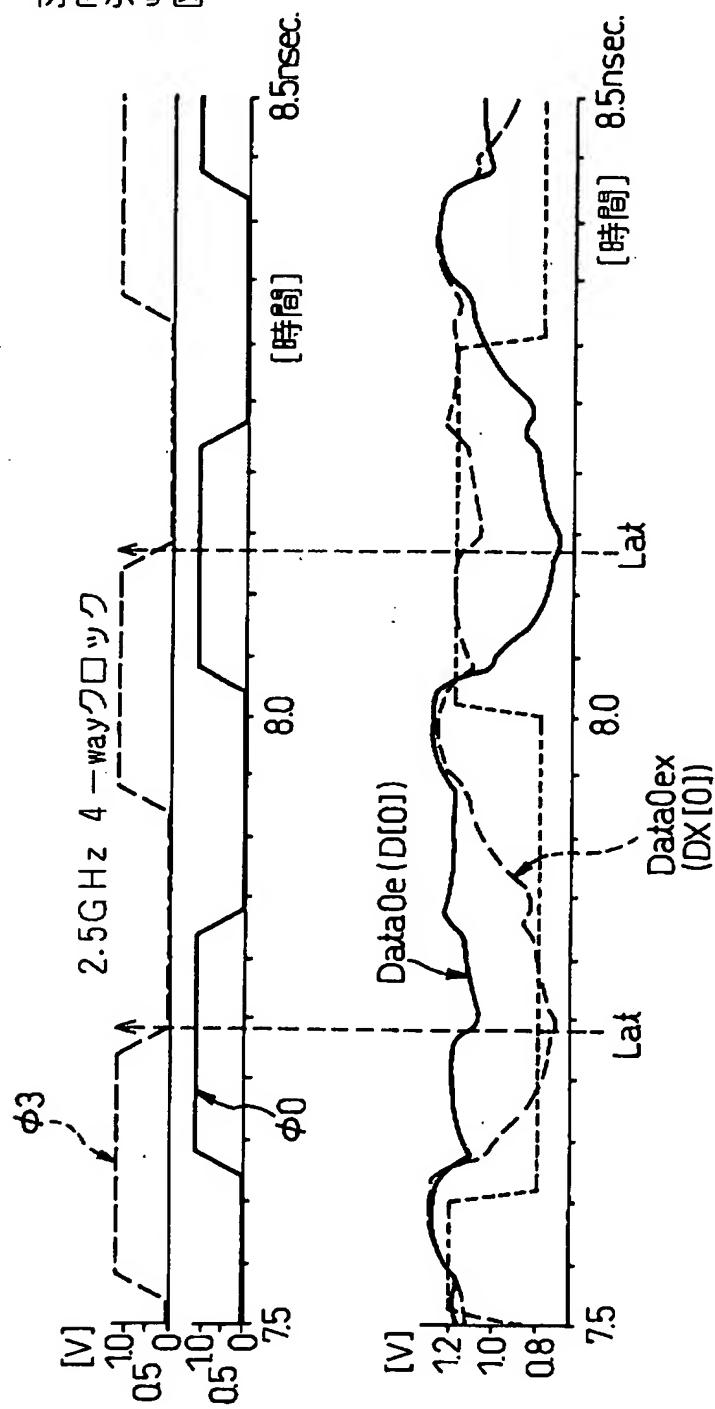
【図14】

図14 図13のレシーバ回路の動作を説明するための図



【図15】

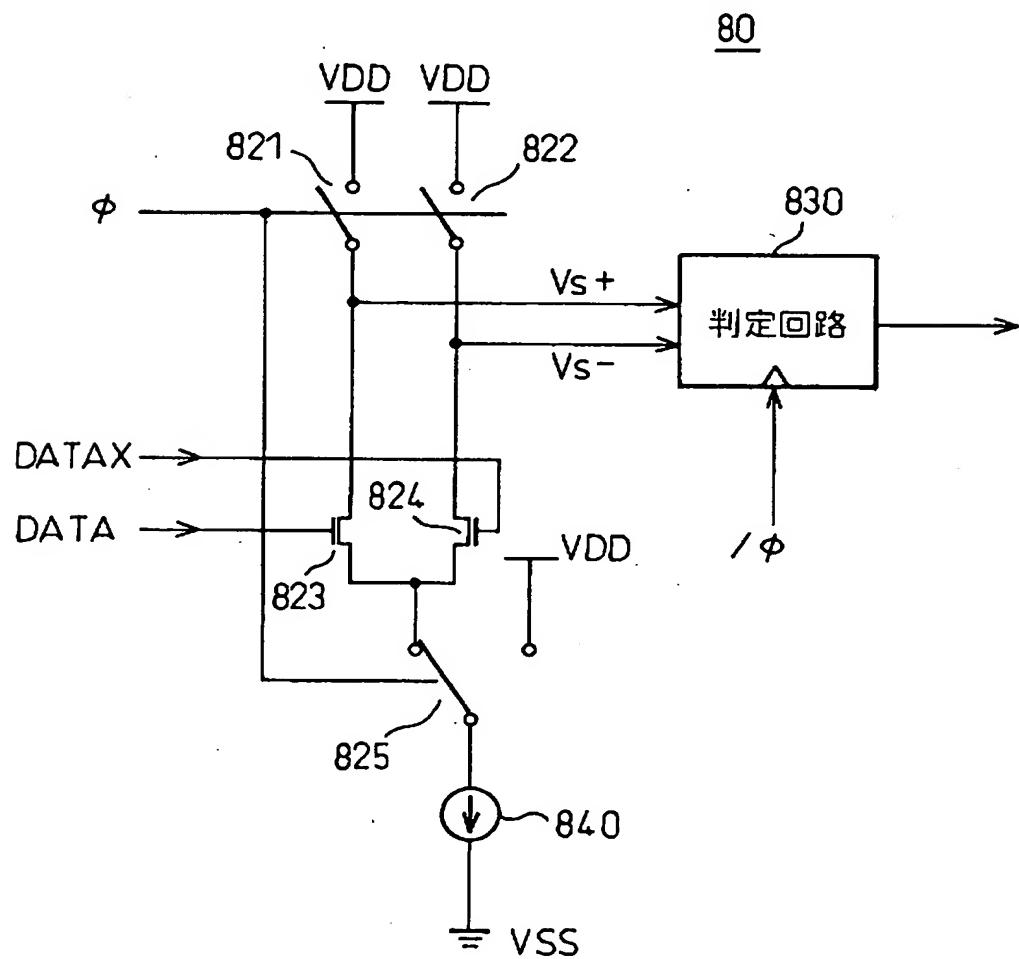
図15 図13のレシーバ回路の動作を説明するための波形の一例を示す図



【図16】

図16

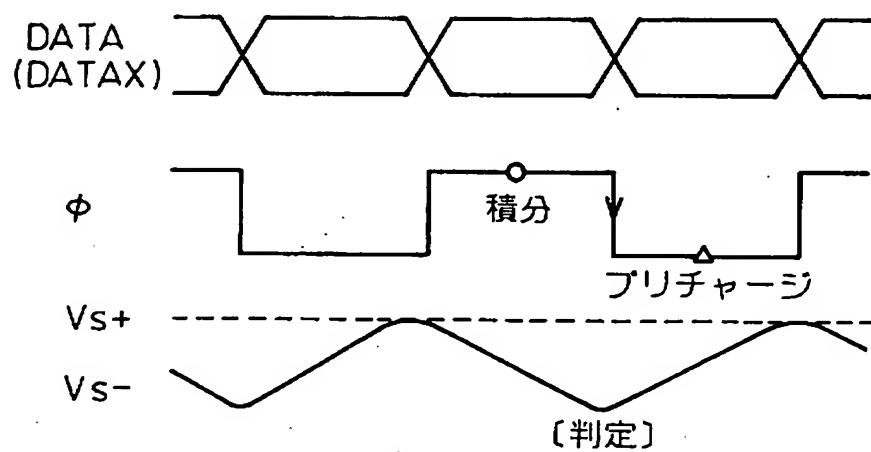
本発明に係るレシーバ回路の第2の形態における  
原理構成の一例を示すブロック回路図



【図17】

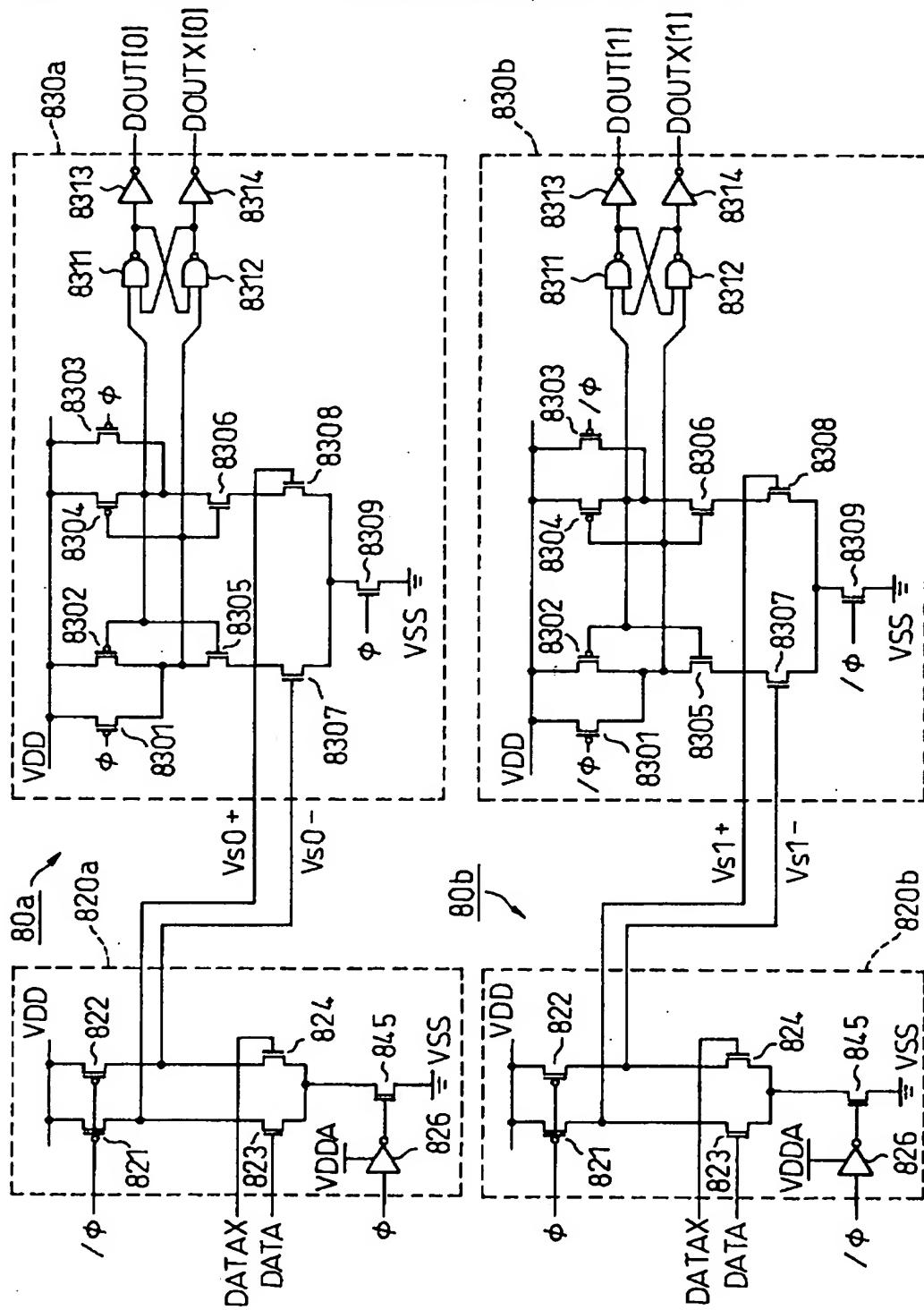
図17

図16のレシーバ回路の動作を説明するための図



【図18】

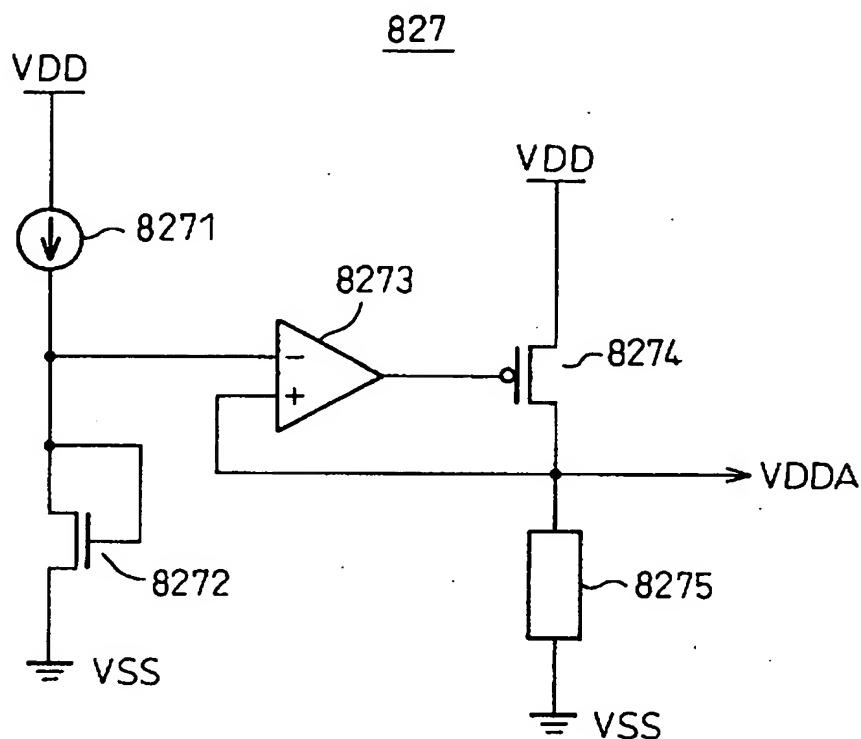
図18 本発明のレシーバ回路の第5実施例を示す回路図



【図19】

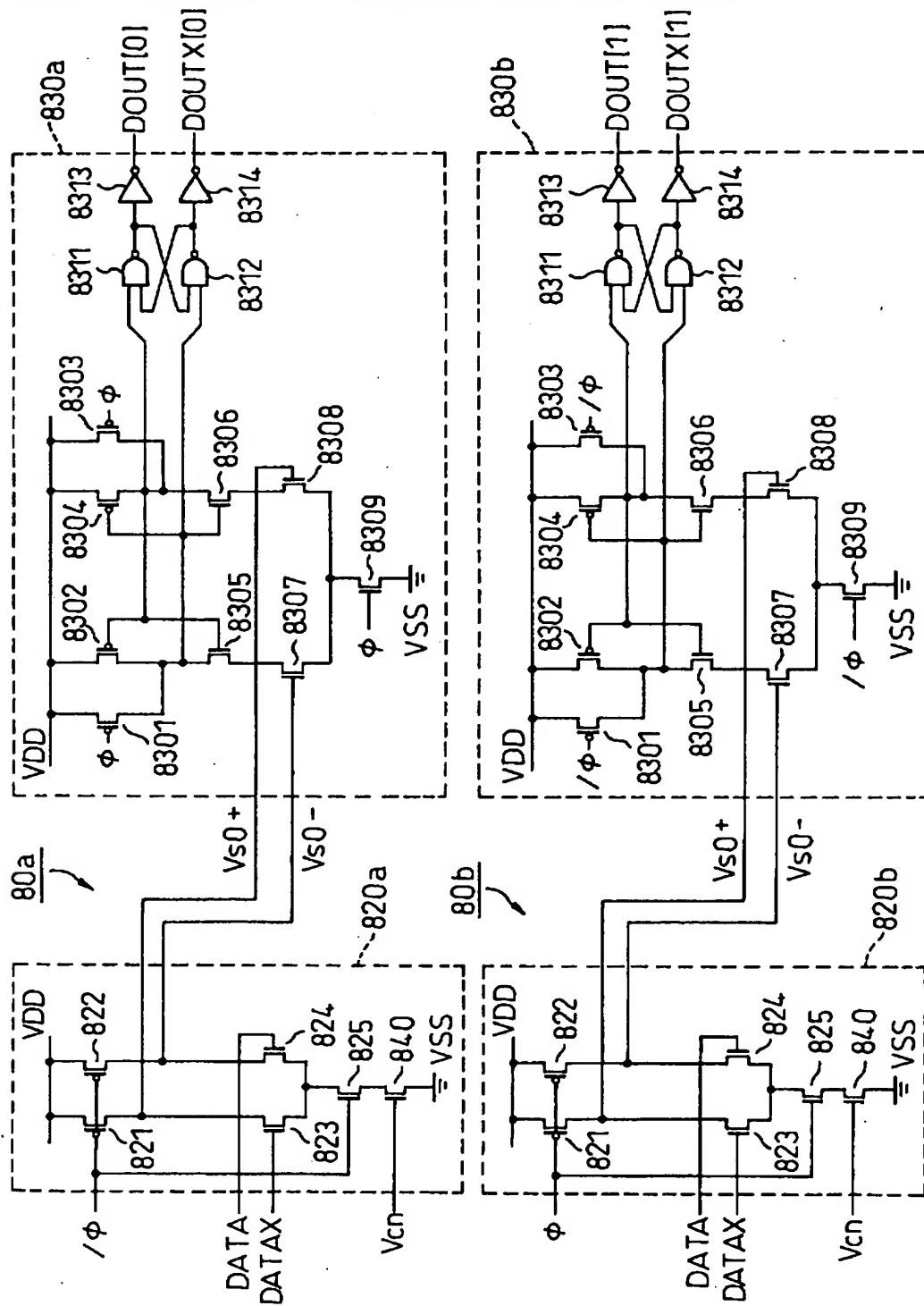
図19

図18のレシーバ回路におけるアナログ電源電圧を生成する  
回路の一例を示す図



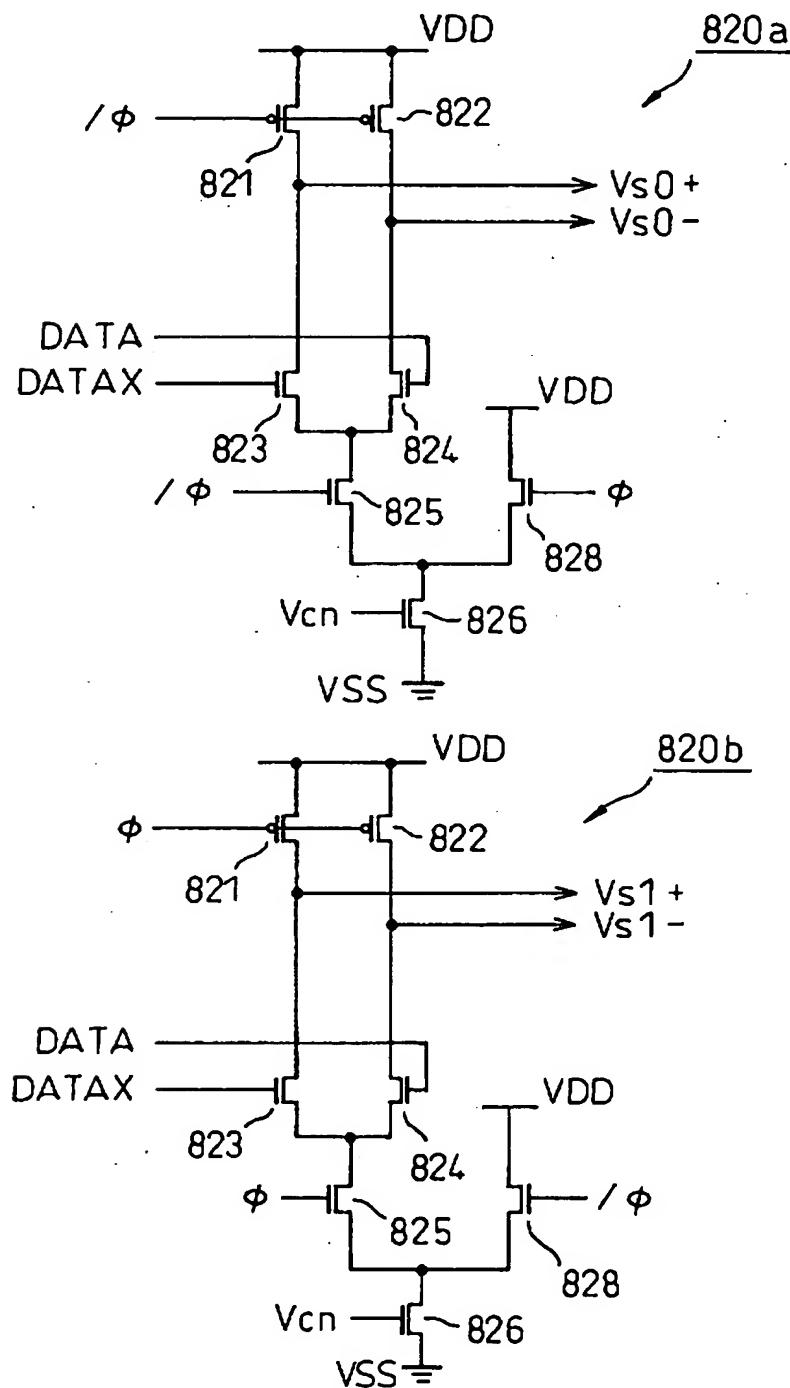
【図20】

図20 本発明のレシーバ回路の第6実施例を示す回路図



【図21】

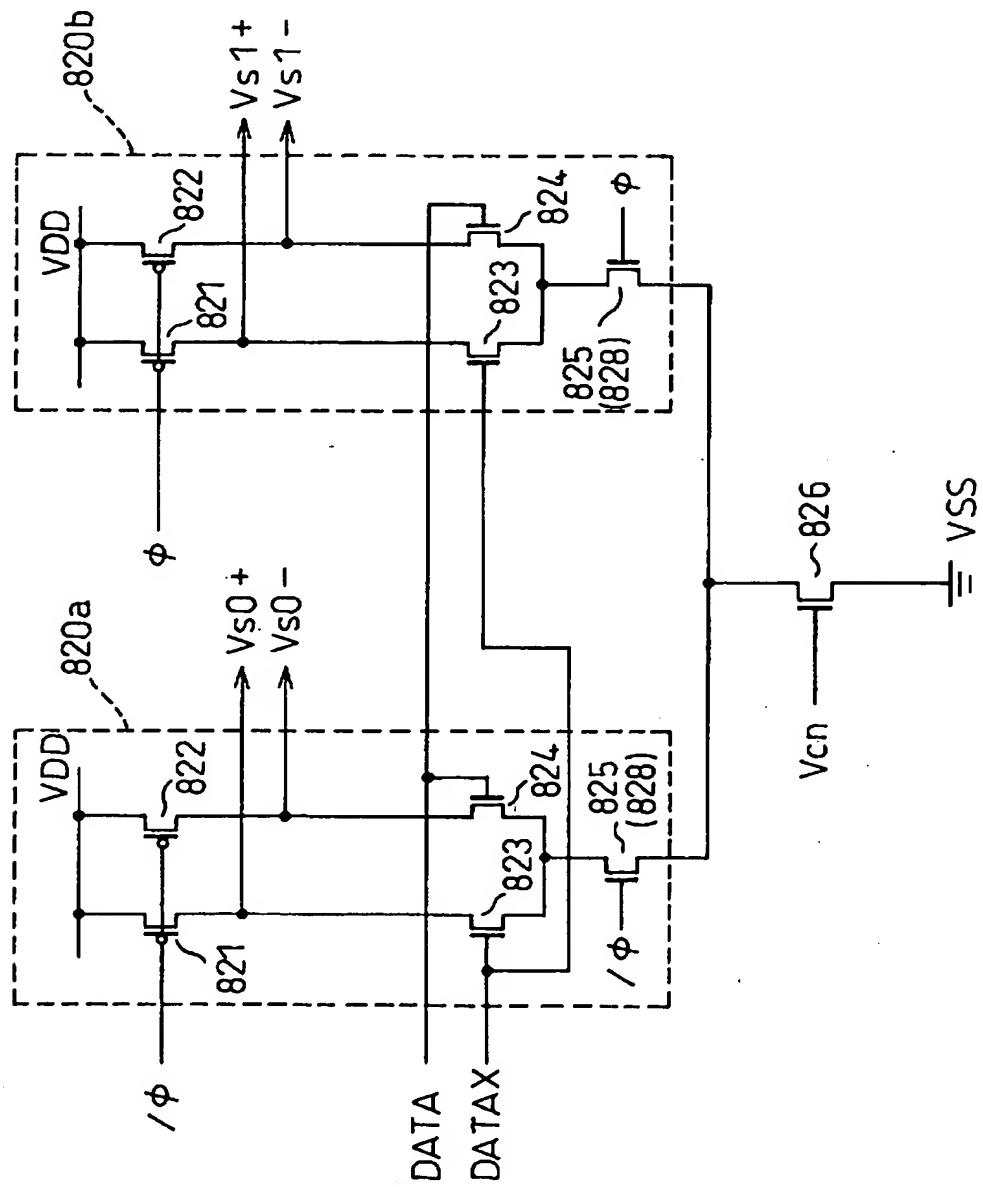
図21 本発明のレシーバ回路の第7実施例を示す回路図



【図22】

図22

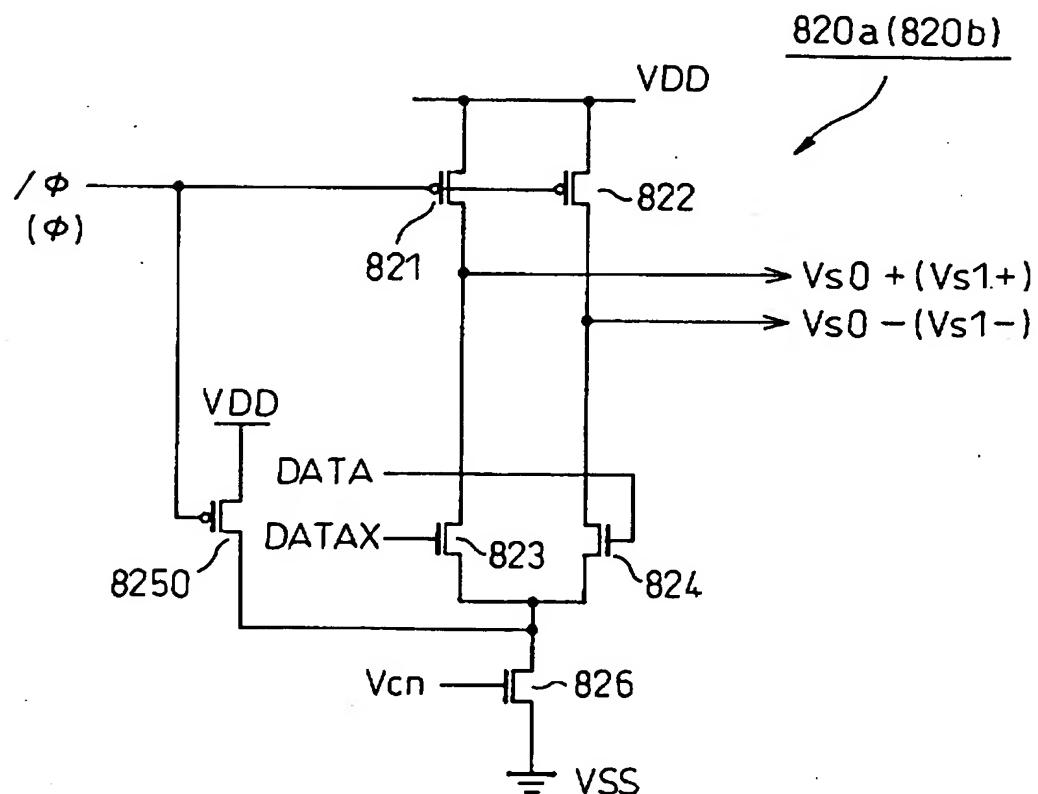
本発明のレシーバ回路の第8実施例を示す回路図



【図23】

図23

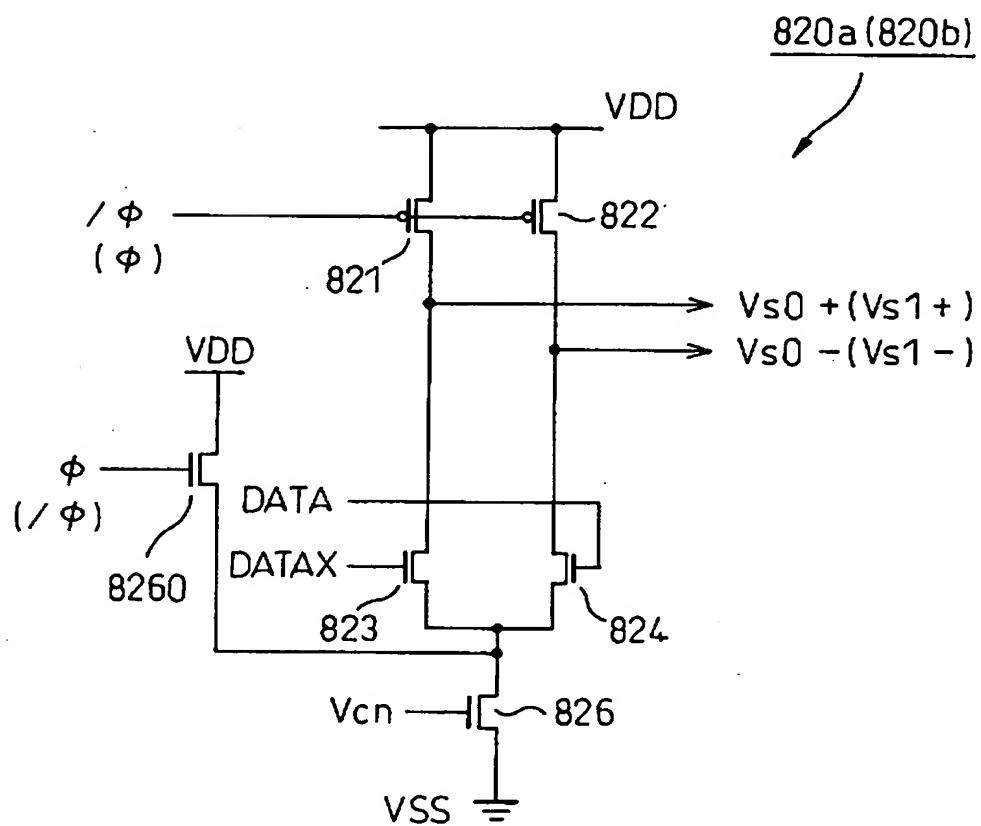
本発明のレシーバ回路の第9実施例を示す回路図



【図24】

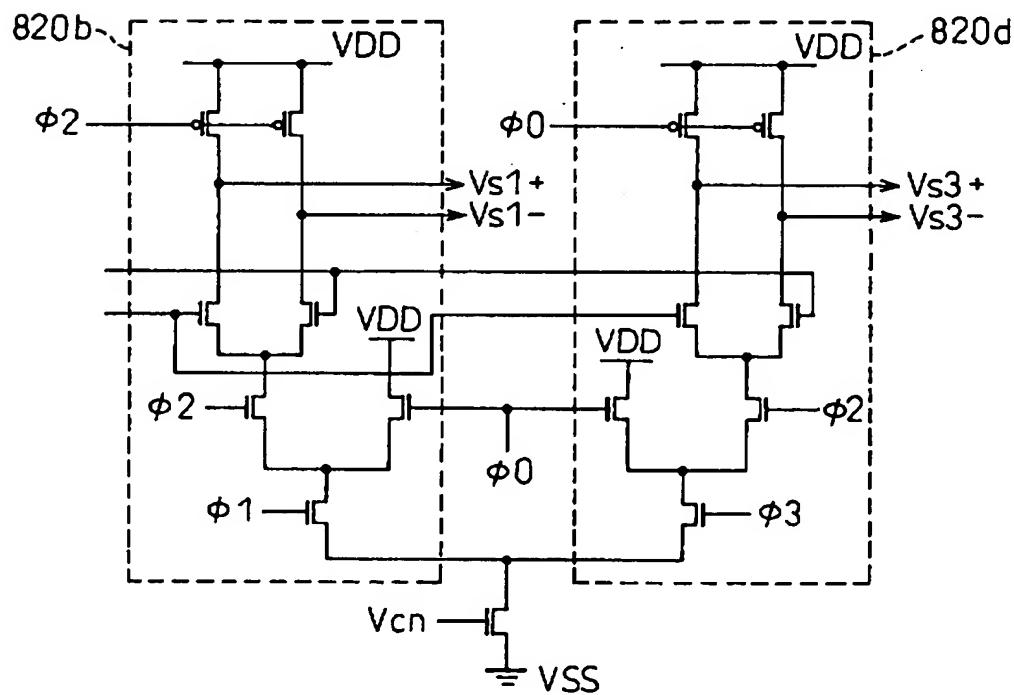
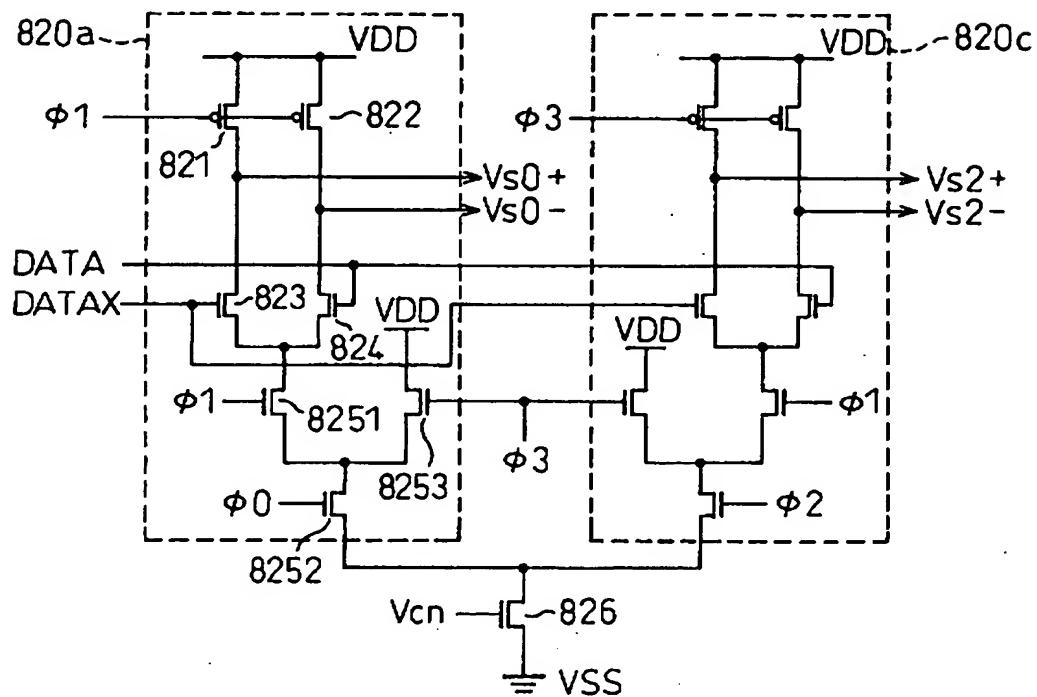
図24

図23に示すレシーバ回路の変形例を示す回路図



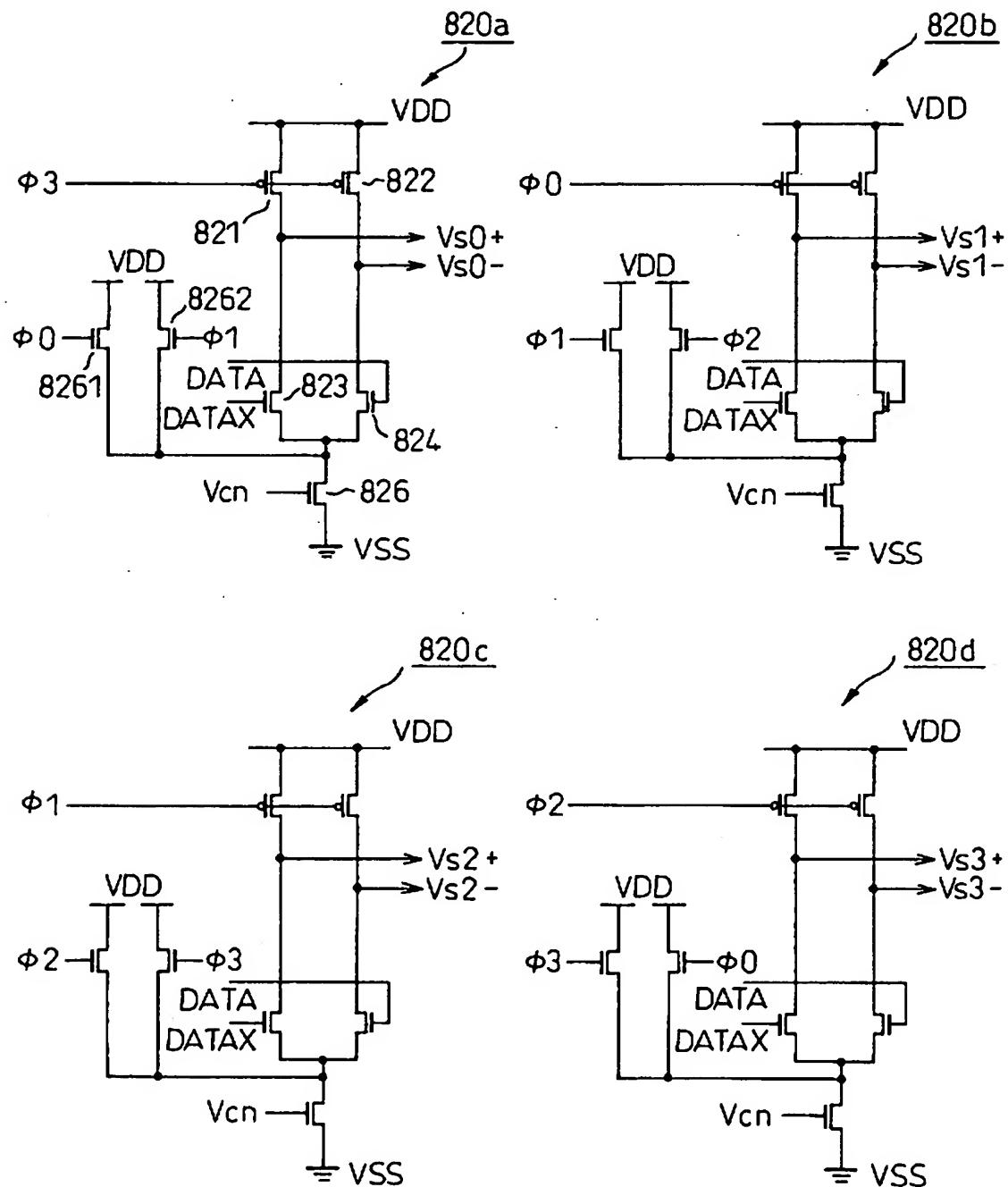
【図25】

図25 本発明のレシーバ回路の第10実施例を示す回路図



【図26】

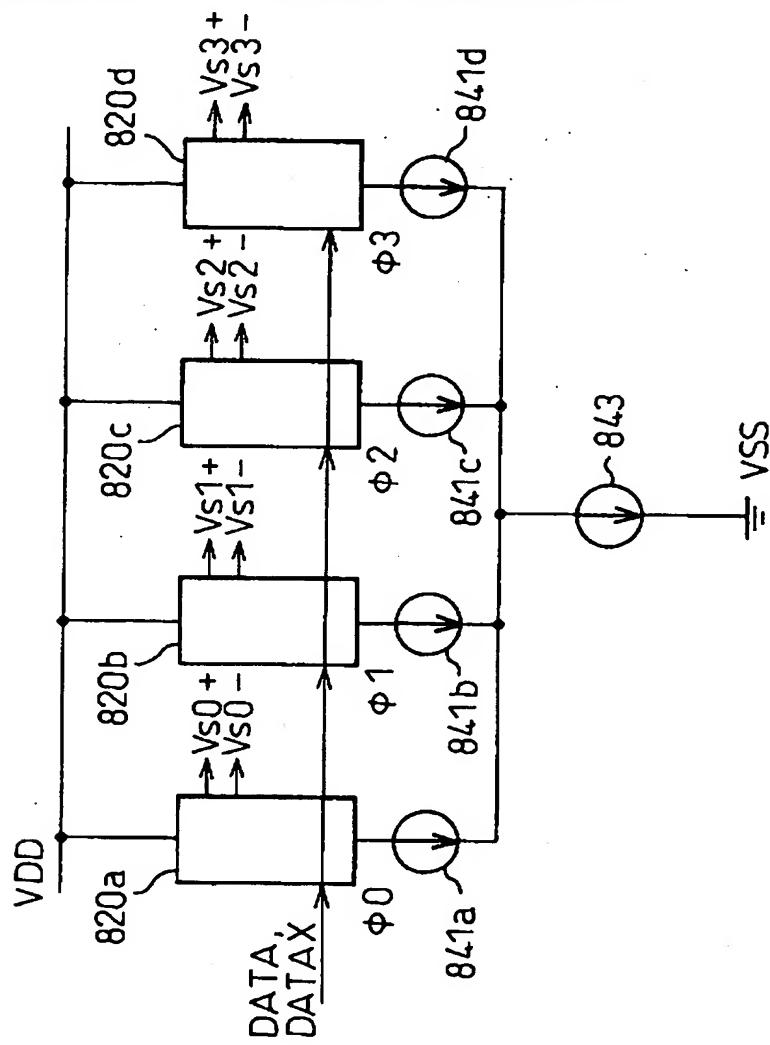
図26 本発明のレシーバ回路の第11実施例を示す回路図



【図27】

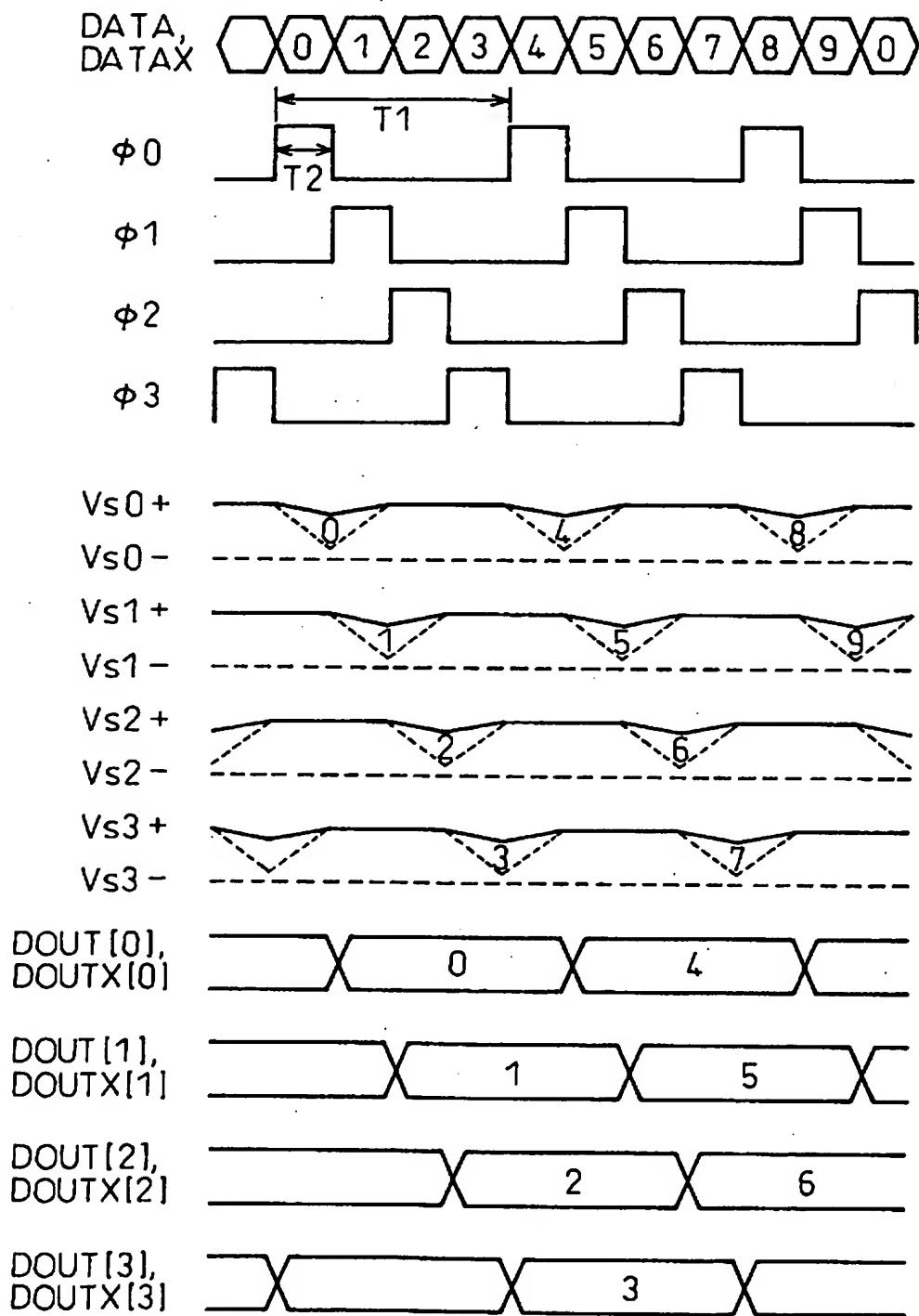
図27

本発明のレシーバ回路の第12実施例を示すブロック図



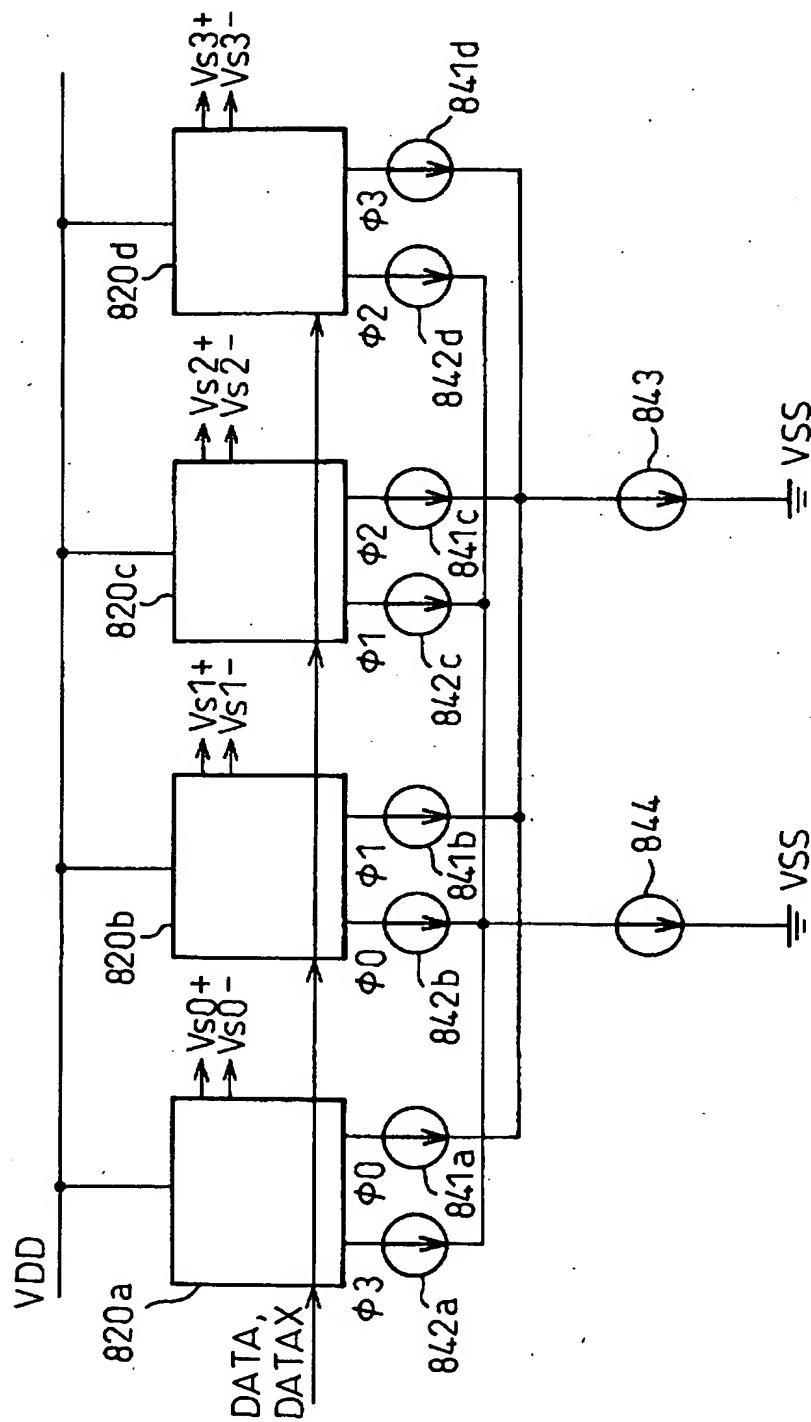
【図28】

図28 図27のレシーバ回路の動作を説明するためのタイミング図



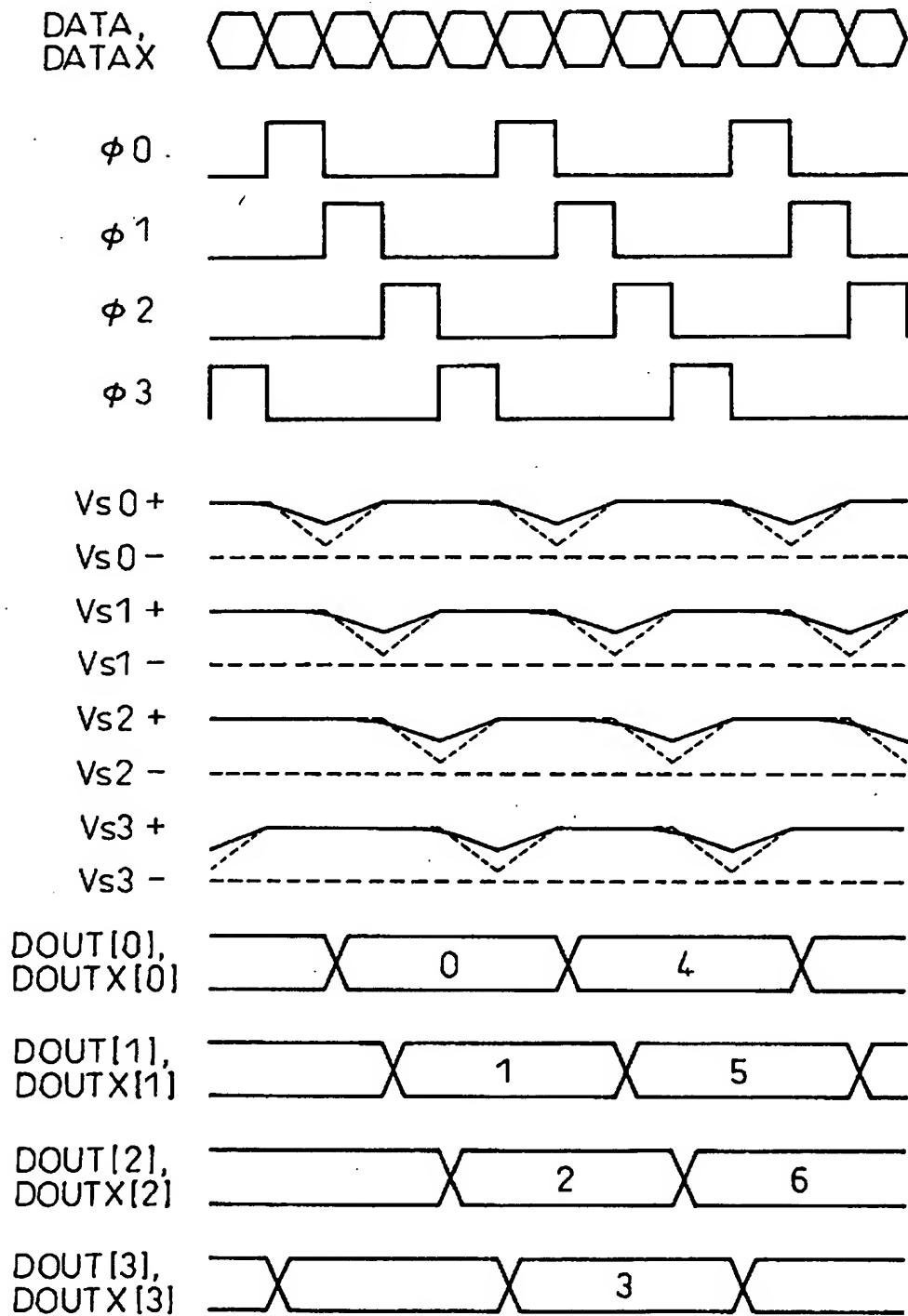
【図29】

図29 本発明のレシーバ回路の第13実施例を示すブロック図



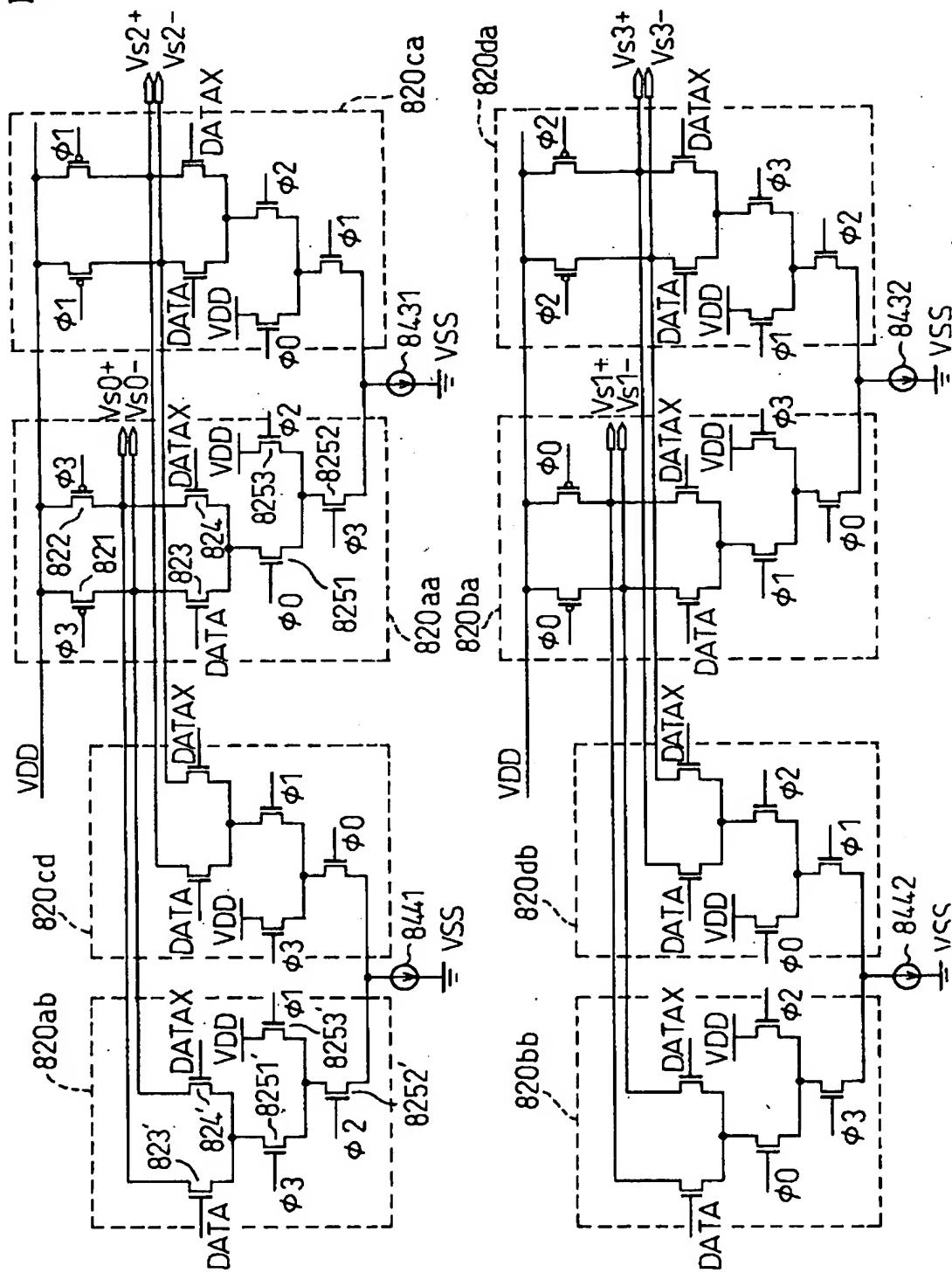
【図30】

図30 図29のレシーバ回路の動作を説明するためのタイミング図



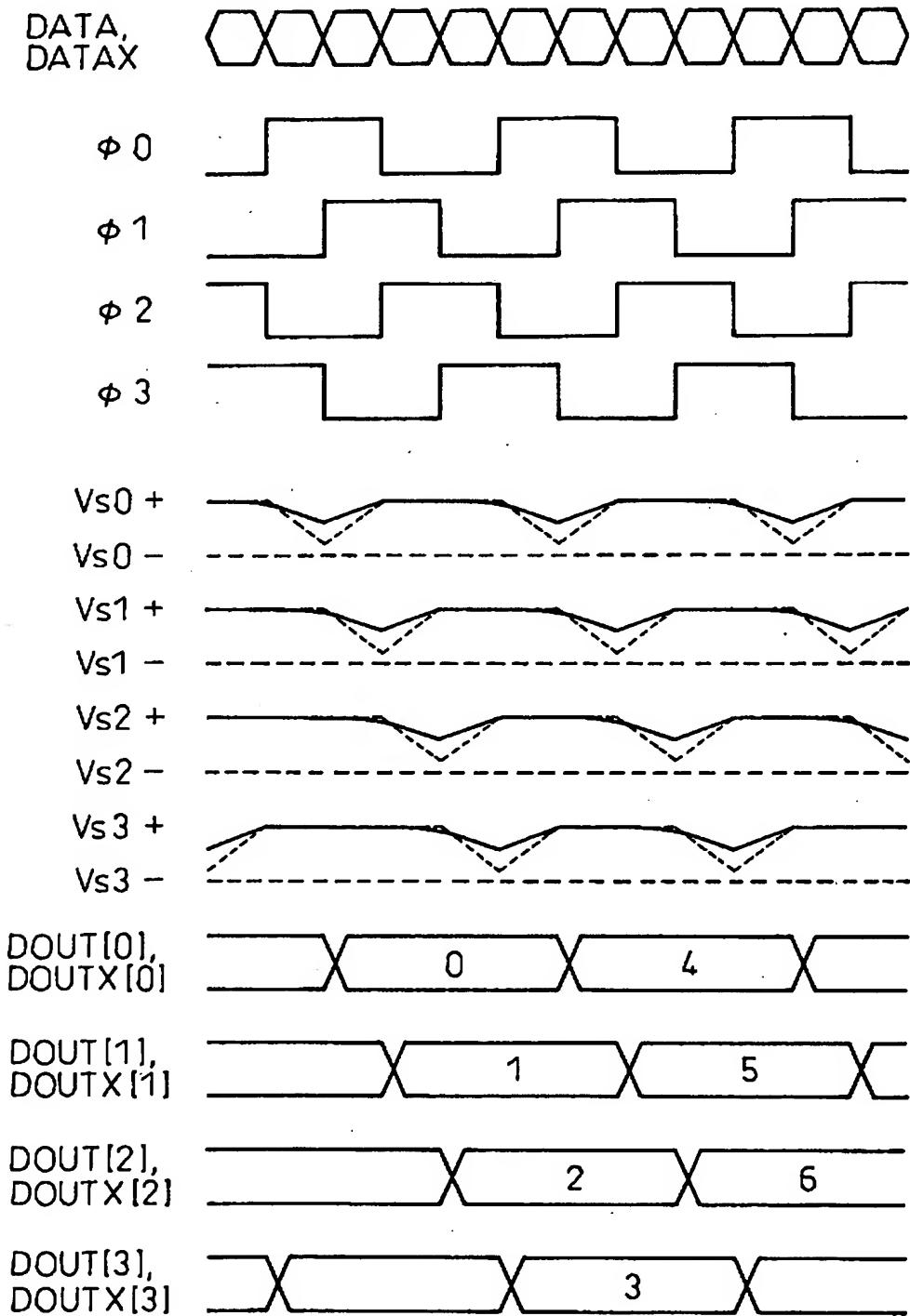
【図31】

図31 本発明のレシーバ回路の第14実施例を示す回路図



【図32】

図32 図31のレシーバ回路の動作を説明するためのタイミング図



【書類名】 要約書

【要約】

【課題】 従来のレシーバ回路において、判定回路の入力は、判定以前の信号値に応じて電圧が大きく変動し、データの正確な判定の妨げとなっていた。

【解決手段】 入力信号DATA, DATAXをサンプリングするサンプリング回路411, 412と、該サンプリング回路の出力をバッファするバッファ回路420と、該バッファ回路の出力の判定を行う判定回路430と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路440とを備えるように構成する。

【選択図】 図5

特2001-314159

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社